

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-156950

(43)Date of publication of application : 31.05.2002

(51)Int.Cl.

G09G 3/36
G02F 1/133
G02F 1/13357
G09F 9/00
G09G 3/20
G09G 3/34

(21)Application number : 2000-379779

(71)Applicant : HITACHI LTD
HITACHI VIDEO & INF SYST INC

(22)Date of filing : 08.12.2000

(72)Inventor : NITTA HIROYUKI
MAEDA TAKESHI
KAWABE KAZUYOSHI
HIRAKATA JUNICHI

(30)Priority

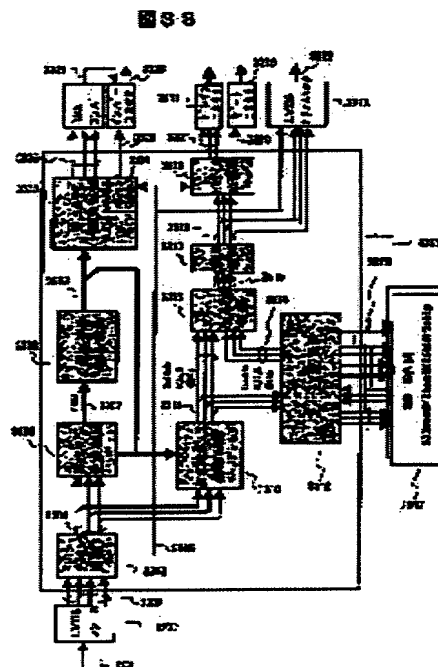
Priority number : 2000278672 Priority date : 08.09.2000 Priority country : JP

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To efficiently improve the luminance of a display image and to suppress the heat generation of a light source.

SOLUTION: This device is equipped with a panel which has multiple pixels arranged, a light source which visualizes an image displayed on those pixels, a control circuit which controls the light source, and a gradation characteristic control circuit for a video signal; and the control circuit for the light source has a function of repeating a cycle including a 1st period wherein a current having 1st intensity is supplied to the light source and a 2nd period wherein a current having 2nd intensity different from the 1st intensity is supplied to the light source and is controlled by the control circuit in the 1st and 2nd periods according to display information, and the gradation characteristic control circuit is also controlled according to the display information so as to always have an excellent contrast.



LEGAL STATUS

[Date of request for examination]

23.03.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

BEST AVAILABLE COPY

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J.P.) (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-156950

(P2002-156950A)

(43) 公開日 平成14年5月31日 (2002.5.31)

(51) Int.Cl.⁷ 識別記号

G09G 3/36
G02F 1/133 535
1/13357
G09F 9/00 337
G09G 3/20 611

FI テーマード(参考)

G09G 3/36 2H091
G02F 1/133 535 2H093
G09F 9/00 337B 5C006
G09G 3/20 611A 5C080
641R 5G435

審査請求 未請求 請求項の数17、OL (全 53 頁) 最終頁に続く

(21) 出願番号 特願2000-379779(P2000-379779)

(22) 出願日 平成12年12月8日 (2000.12.8)

(31) 優先権主張番号 特願2000-278672(P2000-278672)

(32) 優先日 平成12年9月8日 (2000.9.8)

(33) 優先権主張国 日本 (J.P.)

(71) 出願人 000005108

株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233136

株式会社日立画像情報システム
神奈川県横浜市戸塚区吉田町292番地

(72) 発明者 新田 博幸

神奈川県川崎市麻生区王禅寺1099番地、株
式会社日立製作所システム開発研究所内

(74) 代理人 100075096

弁理士 作田 康夫

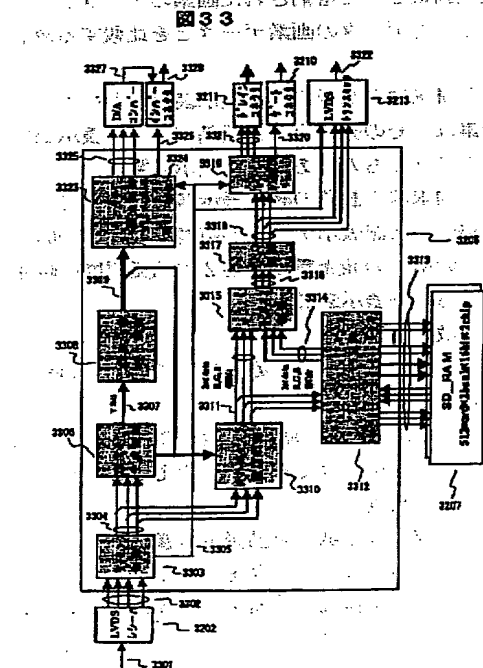
最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】本発明の課題は、表示画像の輝度を効率よく向上させると共に、光源の発熱を抑制することにある。

【解決手段】本発明は、複数の画素が配置されたパネルと、これら複数の画素に表示される画像を可視化する光源と、この光源を制御する制御回路及び、映像信号の階調特性制御回路を備え、上記光源の制御回路は第1の強度を有する電流を光源に供給する第1の期間とこの第1の強度と異なる第2の強度を有する電流を光源に供給する第2の期間とを含む周期を繰り返す機能を有し、該第1の期間と該第2の期間は表示情報に従い制御回路により制御されまた、上記階調特性制御回路は同じく表示情報に従い常に良好なコントラストを得るように制御される。



【特許請求の範囲】

【請求項 1】液晶パネルと、液晶パネルを照射する光源が備えられた液晶表示装置において、前記光源は第 1 の発光輝度を有する時間と第 2 の発光輝度を有する時間からなる周期を有し、該周期中の第 1 の発光輝度と第 2 の発光輝度の時間比率を外部から供給される表示データに基づいて変える制御回路を有する液晶表示装置。

【請求項 2】請求項 1 記載の液晶表示装置において、前記第 1 の発光輝度を有する時間は第 2 の発光輝度を有する時間よりも長く、前記制御回路は、前記周期における前記第 1 の発光輝度の時間比率を、前記表示データが動画の場合には 50% より小さく、前記表示データが静止画の場合には 50% 以上とする液晶表示装置。

【請求項 3】請求項 1 に記載の液晶表示装置において、前記第 2 の発光輝度は、実質的に 0 である液晶表示装置。

【請求項 4】請求項 1 記載の液晶表示装置において、前記制御回路は、前記表示データを少なくとも 1 フレーム分記憶するデータ格納部と、前記データ格納部に格納された表示データと入力される表示データとで対応する画素を比較するデータ比較部と、前記データ比較部による比較結果に応じて、前記周期における前記第 1 の発光輝度の時間比率を制御する信号を出力するパルス制御部とを有する液晶表示装置。

【請求項 5】請求項 4 記載の液晶表示装置において、前記データ格納部は、前記表示パネルの全画素の一部を比較画素としてそのデータを格納し、前記データ比較部は、前記比較画素として格納された画素のデータと、これに対応する入力データの画素データとを比較する液晶表示装置。

【請求項 6】請求項 5 記載の液晶表示装置において、前記比較画素は、その分布を前記液晶パネルの表示部中央近傍に集中させたものである液晶表示装置。

【請求項 7】請求項 1 記載の液晶表示装置において、前記制御回路は、前記表示データの輝度情報に基づいて前記該周期中の第 1 の発光輝度と第 2 の発光輝度の時間比率を制御する液晶表示装置。

【請求項 8】液晶パネルと、該液晶パネルを照射しかつ第 1 の発光輝度と第 2 の発光輝度からなる周期を有する光源と、前記第 1 の発光輝度と第 2 の発光輝度の開始時間を外部から供給される表示データに基づいて変える制御回路とを有する液晶表示装置。

【請求項 9】請求項 8 記載の液晶表示装置において、前記制御回路は、前記表示データを少なくとも 1 フレーム分記憶するデータ格納部と、前記データ格納部に格納された表示データと入力される表示データとで対応する画素を比較するデータ比較部と、前記データ比較部によ

る比較結果に応じて、前記複数の光源に対応する表示領域のどの領域に動画表示が多いかを判定するモード判定部と、前記モード判定部の判定結果に基づき前記複数の光源のそれぞれに対して周期における前記第 1 の発光輝度及び第 2 の発光輝度の開始時間を制御する信号を出力するパルス制御部とを有する液晶表示装置。

【請求項 10】請求項 8 記載の液晶表示装置において、前記制御回路は、前記複数の光源に対応するそれぞれの前記液晶パネルの領域のうち、前記表示データの最も変化する領域の表示データの書き込みが終了した直後に前記第 2 の発光輝度の期間が開始されるように前記第 1 の発光輝度の開始時間と期間を示す信号を出力する液晶表示装置。

【請求項 11】請求項 8 に記載の液晶表示装置において、前記第 2 の発光輝度は、実質的に 0 である液晶表示装置。

【請求項 12】液晶パネルと、該液晶パネルを照射する光源と、入力される映像データに基づいて、前記映像データの少なくとも 1 フレーム分の輝度分布データを検出する輝度分布検出制御回路と、前記輝度分布データに基づいて、前記少なくとも 1 つの特定階調位置の値を更新し、更新した各設定値間の階調特性は直線的に演算式で画素毎に求める階調制御回路を有することを特徴とする液晶表示装置。

【請求項 13】請求項 12 に記載の液晶表示装置において、全階調領域に対するフレーム毎に更新する特定階調の数及び、設定階調間隔は任意である液晶表示装置。

【請求項 14】液晶パネルと、該液晶パネルを照射する光源と、入力される映像データに基づいて、前記映像データの少なくとも 1 フレーム分の輝度分布データを検出する輝度分布検出制御回路と、前記輝度分布データに基づいて、前記光源の発光時期と発光時間との少なくとも 1 つを制御する光源制御回路とを有する液晶表示装置。

【請求項 15】請求項 14 に記載の液晶表示装置において、

前記光源制御回路は、前記光源の発光を制御するためのブリンク波形のパルス幅デューティと位相の少なくとも 1 つを制御する液晶表示装置。

【請求項 16】請求項 14 に記載の液晶表示装置において、前記光源制御回路は、前記光源の発光を制御するための調光波形のパルス幅デューティと位相の少なくとも 1 つを制御する液晶表示装置。

【請求項 17】請求項 14 に記載の液晶表示装置において、

前記光源制御回路は、相対的に明るい映像データを表示

するための光源の発光時間が、相対的に暗い映像を表示するための光源の発行時間よりも長くなるように、前記光源の発光時間を制御する液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示素子やエレクトロルミネセンス素子(Electroluminescence Device)等を用いた表示装置に係り、その表示画面の輝度を効率良く高め、該表示画面にて均一化させるために好適な光源を有する表示装置に関する。

【0002】

【従来の技術】液晶表示素子(液晶表示パネルとも呼ばれる)やエレクトロルミネセンス素子(用いる蛍光材料により有機系、無機系に別れる、以下、EL素子と呼ぶ)、電界放出素子(Field Emission Device、以下、FE素子と呼ぶ)等を用いた表示装置は、ブラウン管(以下、CRT: Cathode Ray Tubeと呼ぶ)のように表示画面の裏側に電子線を2次元的に走査するための空間を設けることなく画像表示を行う。従って、これらの表示装置は、CRTに比べて、薄く軽量であること、消費電力が低いこと等の特徴を持つ。これらの表示装置は、その外観上の特徴からフラット・パネル・ディスプレイ(Flat Panel Display)と呼ばれることがある。

【0003】液晶表示素子、EL素子、FE素子等を用いた表示装置は、CRTに対する上述の利点から、各種用途においてCRTを用いた表示装置に代わり広く普及しつつある。この背景には、液晶表示素子やEL素子等の画質向上といった技術革新もある。一方で、近年、マルチメディアやインターネットの普及により、動画表示への要求が強くなってきており、液晶表示素子を用いた表示装置においては、動画表示を実現するために液晶材料や駆動方法による改善がなされている。しかしながら、液晶表示装置に限らず、フラット・パネル・ディスプレイと呼ばれる表示装置において、従来のCRTと同等の画像を表示するための高輝度化も重要な課題となっている。

【0004】CRTと同等の動画表示を得るためには、電子銃から輻射される電子線を各画素に走査し、夫々の画素の蛍光体を発光させるインパルス型発光が必須である。

【0005】これに対して、例えば液晶表示装置は蛍光灯による光源ユニットを用いたホールド型発光のため、完全な動画表示が困難とされてきた。

【0006】液晶表示装置に係る上記課題を解決する手法として、液晶セル(基板間に封入された液晶層)の液晶材料あるいは表示モードの改良と、光源に直下型光源ユニット(液晶表示素子の表示画面に対向させて複数の蛍光灯を配置する光源構造)を用いる方法が報告されている。図16は、動画表示向けに提案された直下型光源ユニットの点灯動作方法の一例を示した図であり、表示

画面(破線枠)に対向させて管状ランプ8本を配置した直下型光源ユニットのレイアウトと、夫々のランプの各点灯開始時間のタイミングを輝度波形として示す。図16に示す輝度波形は、図の上側に凸となるとき輝度が高まることを表している。図16から明らかなように、夫々の蛍光管の点灯開始時間は、上側に配置されたものから下に配置されたものへと順次ずらされている。この一連の点灯動作は、画像表示信号の走査周期に同期され、1フレームの画像表示期間(表示画面の全画素に表示信号を送る期間)毎に繰り返されていた。(「液晶」誌、Vol. 3, No. 2 (1999)、p99-p106参照)

一方、液晶表示装置に伝送される動画信号の場面に応じて光源の輝度を変調する技術がある。この技術は、動画信号を構成する画像毎に液晶表示装置に伝送される表示信号の最大輝度データ、最小輝度データ、並びに平均輝度データを読み出し、これらのデータに応じて光源に供給される電流(以下、ランプ電流)を制御する。通常ランプ電流を基準電流(例えば、4.5mA)とすると、全体的に明るい画像の場合にはランプ電流をある期間において基準電流より高く(例えば、8mA)設定し、その後基準電流に戻す。逆に全体的に暗い画像の場合にはランプ電流を基準電流より低く(例えば、1.5mA)設定する。(「日経エレクトロニクス」誌、1999.11.15, no. 757, 1999, p139-p146参照)

この設定により、前者(全体的に明るい画像)の場合、基準電流より高い電流を光源に供給する分、光源の温度上昇も大きい。蛍光灯の場合、その温度上昇により蛍光灯内の水銀(Hg)蒸気圧が上昇し、当該蛍光灯内にて水銀原子(水銀蒸気量)が増加する。一方、蛍光灯内に余剰の水銀原子が存在すると、水銀原子と電子との衝突により蛍光灯内で生じた紫外線が水銀原子に吸収される確率が高くなり、蛍光灯自体の輝度は低下する。この影響を避けるため、上記期間にてランプ電流を上記基準電流より大きく設定した後、蛍光灯内の水銀蒸気圧が変化する前にランプ電流を基準電流に戻す。このようにランプ電流を変化させることにより、蛍光灯の輝度をこれに基準電流を供給したときのそれより高くする。また、後者(全体的に暗い画像)の場合、光源の輝度が高いと黒又はこれに近い色を表示する画素からのわずかな光の漏れを抑えることが必要となる。全体的に暗い画面では、画面内で最も光透過率を高く設定した画素においても透過させるべき光の絶対量は小さい。このため、ランプ電流を基準電流より低く設定し、光源の輝度を抑えて黒又はこれに近い色を表示する画素からの光の漏れを絞るとともに、光源における消費電力を低減させる。

【0007】この2つの技術の組合せから、動画全体でみた映像における輝度のダイナミックレンジ(最大輝度/最小輝度の比)は従来の2.8倍に、そのコントラスト比は400~500:1と従来の液晶表示装置の2倍以上に夫々広がる。

【0008】

【発明が解決しようとする課題】液晶表示装置において上述の直下型光源ユニットの点灯動作を順繰りに行う技術を実施する場合、例えば直下型光源ユニットに搭載する蛍光灯の本数を増やすと、1周期（1フレーム分に相当）の点灯動作期間中に占める各蛍光灯の発光時間が短くなってしまふ。このため、直下型光源ユニット全体での輝度効率が低下した。

【0009】また、表示画像の輝度を上げるために各蛍光灯に印加する電力を増やすと蛍光灯の発熱により液晶セルが局部的に熱せられ均一性も低下した。

【0010】液晶表示装置における画像表示は、これに搭載される液晶表示素子の液晶セルに封止された液晶分子を当該画像情報（液晶セルに印加される電界）に対応する方向に配向させ、液晶セルの光透過率を所望の値に設定して行く。このため液晶セルにおける液晶分子が画像情報に応じた方向へ確実に配向させる上で、液晶セル内の粘度を適正な値に保つことが望ましく、該液晶セルに増粘剤又は減粘剤を液晶分子とともに封入することがある。しかし、液晶セルの温度が局部的に上昇すると、この部分において粘度が下がり、液晶分子の一部の向きがランダムになる（液晶層の等方相化）。

【0011】従って、この部分の液晶セルだけ、液晶分子に印加される電界に対応しない光透過率を示し、このため、横電界型の液晶表示装置での表示輝度を300cd/m²より高くすることは事実上不可能である。

【0012】また、上述の動画信号を構成する画像毎に光源の輝度を調整する技術を、液晶表示装置に実施した場合、全体的に明るい画像を表示するときの光源に供給されるランプ電流を上記基準電流より高い値から当該基準電流に下げるタイミングの設定が実用上困難である。上述のとおり、光源の輝度をこれに基準電流を供給したときの値より高めるには、一旦上記基準電流より大きく設定したランプ電流を蛍光灯内の水銀蒸気圧が変化する前に基準電流に戻さなければならないが、このようにランプ電流を切替えるタイミングは、例えば光源（蛍光灯）の温度変化の測定データと光源輝度との相関に基づき経験的に設定せざるを得ない。また、表示装置の使用条件、例えば、室温などの相違まで考慮するとなると、ランプ電流を切り替えるタイミングの設定は極めて困難である。更に、この技術では各々の画像の明るさに応じ、夫々の画像表示時刻の光源輝度を変化させるため、画像毎のコントラスト比は従来の液晶表示装置で達成し得る程度に留まる。これを言い換えれば、この技術を液晶表示装置に適用しても、静止画像のような一定期間（複数フレームの画像データが液晶表示装置に伝送される期間）にわたり画像の明るさがほとんど変動しない映像を表示する場合、そのコントラスト比を向上させることはできない。

【0013】本発明の目的は、表示画像の輝度を効率よ

く向上すると共に、光源の発熱を抑制した液晶表示装置及びその制御方法を提供することにある。

【0014】又は、本発明の目的は、動画でのボケを改善した液晶表示装置及びその制御方法を提供することにある。

【0015】又は、本発明の目的は、コントラストを向上した液晶表示装置及びその制御方法を提供することにある。

【0016】

10 【課題を解決するための手段】上記目的を達成するために、液晶パネルと、該液晶パネルに設けられこれを照射する光源が備えられた液晶表示装置において、光源は第1の発光輝度と第2の発光輝度からなる周期を有し、該周期中の第1の発光輝度と第2の発光輝度の時間比率を外から供給される表示データに基づいて変えるようにした。ここで、第1の発光輝度は第2の発光輝度よりも高く、一例として前記周期における前記第1の発光輝度の時間比率を、前記表示データが動画の場合には60%より小さく、前記表示データが静止画の場合には60%以上とする。また、第2の発光輝度は、第1の発光輝度の残像、輝度が低い場合の再現性を向上させるため実質的に0とする。

【0017】また、制御回路構成の一例としては、表示データを少なくとも1フレーム分記憶するデータ格納部と、データ格納部に格納された表示データと入力される表示データとで対応する画素を比較するデータ比較部と、データ比較部による比較結果に応じて、周期における前記第1の発光輝度の時間比率を制御する信号を出力するパルス制御部とにより構成した。

30 【0018】データ比較部により比較される比較画素は、その分布を前記液晶パネルの表示部中央近傍に集中させたものであることを特徴とする液晶表示装置。

【0019】また、複数の光源に対応させるべく、制御回路は、各光源に対応させて表示パネルの領域を定義し、各領域毎に表示データに基づいて、前記第1の発光輝度と第2の発光輝度の開始時間を外部から供給される表示データに基づいて変えるように構成した。

40 【0020】制御回路構成の別の一例としては、R、G、B各映像データから輝度データを生成する輝度データ生成制御部と、生成した輝度データから1画面分の入力映像データに対する輝度分布状態を検出する輝度分布検出制御部と、輝度分布検出結果に従って階調特性を制御する折線ポイント階調制御部と、前記輝度分布検出結果に従ってバックライトの調光制御を行うバックライト調光制御部と、1画面の表示データに対しバックライトの発光タイミングを制御するブリンク・バックライト制御部とにより構成構成した。

50 【0021】また、制御回路構成例としては、上記2つの例に示す構成の双方を兼ね備えた構成においても何ら問題はない。

【0022】

【発明の実施の形態】本発明は、複数の画素が配置されたパネルと、これら複数の画素に表示される画像を可視化する光源と、この光源を制御する制御回路を備え、その制御回路は、第1の期間には第1の強度を有する電流を光源に供給し、第2の期間には第2の強度を有する

(第1の強度とは異なる)電流を光源に供給し、この第1の期間と第2の期間とを周期的に繰り返し、かつその周期において上記光源から輻射される光の強度(その周期の間の光の輝度の積分値)は、同一期間における上記光源が定格電流で点灯させた場合の輝度の積分値より高くなるように制御する。なお、定格電流で点灯させたときの輝度の積分値は、点灯後約30分後の輝度が安定した状態のものを積分対象とした。

【0023】また、表示装置が液晶表示装置の場合、パネルは夫々が対向するように配置された一対の基板(少なくとも一方は光源からの光を透過させるに十分な光透過率を有する)と、この一対の基板間に封入された液晶層(液晶分子又はこれと減粘剤等の添加物を含む)を備え、一対の基板の少なくとも一方には、画素を構成する電極とこれに画像情報を伝送する信号線が設けられる。このように構成されたパネルは、液晶表示パネル(Liquid Crystal Display Panel)又は液晶表示素子(Liquid Crystal Display Element)と呼ばれる。光源は、パネルの少なくとも一方の面に蛍光灯、又はこの蛍光灯と光学的に結合された光学素子(例えば、導光板)を対向させて配置される。近年では、蛍光灯に代えて複数の発光素子をパネルに沿って配置した発光素子アレイを用いるものも提案されている。

【0024】本発明による表示装置において、光源に供給される第1の電流と上記第2の電流の大小関係は、特に限定されない。しかし、この表示装置を従来と同様、連続的に光源を点灯させて利用する場合をも考慮すると、第1の電流に対し第2の電流を小さく設定することが望ましい。

【0025】なお、液晶表示素子において、第1の電流値並びに第2の電流値、及び第1の期間並びに第2の期間における時間配分を、表示装置へ伝送される映像信号から表示すべき画像の輝度を算出し、それに合せて調整してもよい(観点1')。特に、輝度やコントラストを高くする必要のない画像データに対しては、第1及び第2の電流の特に大きい方の値を押さえ、消費電力を節約する。この場合、周期において上記光源から輻射される光の強度(その周期の間の光の輝度の積分値)は、同一期間における上記光源が定格電流で点灯させた場合の輝度の積分値より低くなってもかまわない。

【0026】以下、本発明の具体的な実施形態をこれに関連する図面を参照して説明する。

【0027】以下の説明にて参照する図面で、同一機能を有するものは同一符号を付け、その繰り返しの説明は

省略する。

【0028】図1は本発明による液晶表示モジュールを搭載した液晶表示装置の概略構成図である。図1において、8は蛍光灯、20は直流電圧源入力端子、21はインバータ回路、23は調光回路、25はスイッチング制御回路、27は液晶パネル、28は液晶表示モジュール、29はテレビ入力端子、30はビデオ入力端子、31はS入力端子、32はアナログPC入力端子、33はデジタルPC入力端子、34はアナログ映像処理制御部、35はデジタル映像処理制御部、36は液晶表示装置を各々示す。

【0029】図1において液晶表示装置36は、映像入力としてテレビ入力端子29、ビデオ入力端子30、S入力端子31などからの主に動画及び、アナログPC入力端子32、デジタルPC入力端子33などからの主に静止画を可能とする。入力されたアナログ映像データはアナログ映像処理制御部34において、輝度・色信号分離処理、アナログ・デジタル変換処理などを施し、デジタル映像データとしてデジタル映像処理制御部35に出力する。デジタル映像処理制御部35ではインターレース・ノン・インターレース変換処理、拡大処理などを施して液晶表示モジュール28に出力する。液晶表示モジュール28では、入力されたデジタル映像データ(DATA)を液晶パネル27に入力すると共に、スイッチング制御回路25に入力する。スイッチング制御回路25では、この入力されたデジタル映像データ(DATA)の状態を検出し、検出信号を調光回路23に出力する。調光回路23はこの検出信号の状態に従って、良好な表示状態を得るための調光制御信号をインバータ回路21に出力することで蛍光灯8の光源制御を行うものである。

【0030】以下、各部の詳細について順次説明する。

【0031】図3及び図4は、各々、(a)液晶パネルの構造を概念的に描いた断面図と(b)液晶表示装置に据え付けられる光源ユニットの斜視図を示したものである。いずれの図においても、液晶パネルは各々の主面が対向するように配置された一対の基板3とこれらの間に挟持された液晶層(液晶分子、又はこれと減粘剤等との混合物が封入される)2からなる液晶表示素子と蛍光灯8が搭載された光源ユニット10を備える。図3(a)及び図4(a)においても、基板3における液晶層2とは反対側の主面に偏光板1が設けられる。また、一対の基板3のうち少なくとも一つは、液晶層2側の主面に複数の画素(図示せず)が2次元的に配置される。図3(a)及び図4(a)のいずれに示した液晶パネルにおいても、使用者は図の上側から基板3の主面を通して画像を見ることができる。

【0032】図3に示す液晶パネルは、その光源ユニット10における蛍光灯8の配置からサイドライト型(又はエッジライト型)と呼ばれる。この光源ユニット10は、上記液晶表示素子の下面に対向するように配置され

た四辺形の上面を有する導光板11と、この導光板の少なくとも一側面（四辺形の一辺）に沿って配置された管状の蛍光灯8と、この蛍光灯8から導光板の反対側へ輻射される光を導光板の側面に入射させる反射器7と、導光板内をその下面に向けて伝播していく光をその上面に向けて反射させ且つ液晶表示素子の下面に照射させる反射フィルム9とを備える。導光板11の上面と液晶表示素子の下面の間には、例えば一対の拡散フィルム6とこれに挟まれたプリズムシート5を含む光学シート群4が配置される。サイドライト型の液晶パネルでは、液晶表示素子の下面は蛍光灯8と対向せず、図3(b)に示す導光板11の上面に対向するように配置される。

【0033】これに対し、図4に示す液晶パネルは、光源ユニット10における複数の蛍光灯8が液晶表示素子の下面に対向するように（図4(a)に示すように液晶パネルの直下に）配置されることから直下型と呼ばれる。直下型の液晶パネルに用いられる光源ユニット10では、蛍光灯8から図の下側に輻射される光を反射させて図の上側（液晶表示素子の下面）に照射するように反射器7が配置され、複数の蛍光灯8とこれらの間隙とにおける光強度のバラツキを解消するための起伏が形成されている。光源ユニット10と液晶表示素子との間には、サイドライト型と同様に光学シート群4が配置されているが、サイドライト型の光学シート群4で光学ユニット10側に配置される拡散シート6は拡散板6aに置換えられている。この拡散板6aには、上述の複数の蛍光灯8とこれらの間隙とにおける光強度のバラツキを解消するための光学的なパターンが形成されている。

【0034】なお、サイドライト型の液晶パネルの詳細な解説は例えば特開平7-281185号公報に、直下型の液晶パネルの詳細な解説は例えば特開平5-257142号公報に夫々記載されている。

【0035】上述の液晶パネルでは、液晶層2への印加電界の増減により、その光透過率を設定して画像を表示する。例えば、液晶層2において、液晶分子をねじれ角が90°前後で配向させたTN型や垂直配向型のTF T（Thin Film Transistor）駆動の液晶表示装置（アクティブ・マトリクス型）や、ねじれ角が200から260°で配向させたSTN型の時分割駆動の液晶パネル（パッシブ・マトリクス型）では、液晶層2への印加電界の増加に従って、その光透過率は最大値（白画像）から最小値（黒画像）に変化する。

【0036】一方、液晶層2に印加する電界を基板面に沿った方向に印加する横電界型と呼ばれるTF T駆動の液晶パネルでは、液晶層2への印加電界の増加に従って、その光透過率は最小値（黒画像）から最大値（白画像）に変化する。

【0037】TN型や垂直配向型のTF T駆動の液晶パネルの場合、液晶層2の屈折率異方性 Δn とセルギャップ（液晶層2の厚み） d の積 $\Delta n d$ は0.2から0.6

μm の範囲がコントラスト比と明るさを両立させる上で望ましく、STN型液晶パネルの $\Delta n d$ は0.5から1.2 μm の範囲が、横電界型のTF T液晶パネルの $\Delta n d$ は0.2から0.5 μm の範囲が好ましい。

【0038】このように構成された液晶パネルにおける本発明の実施態様の概要を、上述の観点に沿って説明する。

【0039】図2は、観点1に基づく本発明を液晶表示装置に実施したときの同期信号（画像情報の伝送タイミング）、画像表示信号、光源の点灯信号、及び光源ユニットから輻射される光の輝度波形を示す図である。光源の点灯信号は、第1電流 i^1 を Δt^1 の時間（第1の期間）に光源に供給し、次いでこの第1電流より小さい第2電流 i^{11} を Δt^{11} の時間（第2の期間）に光源に供給し、この時間の和である $\Delta t^1 + \Delta t^{11}$ の動作周期を繰り返す波形として示される。この例では、 Δt^1 と Δt^{11} とを等しく設定した、すなわち50%のデューティで電流を光源に供給し、第2電流 i^{11} の値は略0 mAに抑えることにする。従って、上記動作周期にて光源が消費する電力で一定の電流を光源に供給することを想定すると、その電流値は第1電流と第2電流の中間値 i^{const} として図示される。

【0040】そして、光源の輝度波形から i^{const} に相当する輝度は、第1電流に相当する輝度（所定時間の第1電流の供給により輝度が到達する値） I^1 と第2電流に相当する輝度（所定時間の第2電流の供給により輝度が到達する値） I^{11} との中間値 I^{const} （破線）に相当すると予測される。しかし、動作周期の複数分の時間において i^{const} の電流を連続的に流すと光源の温度が次第に上昇するため、光源内部における光の損失が徐々に増加する。このため、光源の輝度は実際には I^{const} （破線）より低い $I^{const'}$ （実線）の値を示す。また、時間経過による光源の温度上昇により、 I^{const} （破線）と $I^{const'}$ （実線）との差は ΔI^1 から ΔI^2 に徐々に広がる。

【0041】これに対し、第1電流 i^1 を光源に供給する時間 Δt^1 を、第1電流 i^1 による光源の温度上昇がある値に到達する所要時間より短く設定すると、第1電流 i^1 に対応した輝度の光を光源内で損失することなく取り出すことができる。図5は、光源の一つとして用いられる冷陰極管に関し、(a)管内温度（管内における水銀蒸気圧でも等価できる）と輝度の関係、及び(b)冷陰極管に設けられた一対の電極に供給される電流と輝度の関係を示す。冷陰極管の輝度は、その管内の水銀蒸気圧、言い換えれば管内に存在する水銀ガスの量に依存し、この水銀ガス量がある値（この例では水銀蒸気圧にして4.7 Pa）以下の場合、水銀ガス量の増加に応じて管内における温度も増加し、冷陰極管自体の輝度も上昇する。しかし、水銀ガス量がこのある値を越えると管内で生じた光が徐々に水銀ガスにより吸収され、その結

果、冷陰極管の輝度も減少する。このような傾向は、冷陰極管や水銀ガスに限らず、管球がその内部に励起材料を含む限りにおいて認められるものである。例えば、キセノンランプでも冷陰極管と同様な現象が生じる。

【0042】また、冷陰極管内の水銀蒸気圧は、冷陰極管内の温度にも等価で、更に冷陰極管内の温度は冷陰極管に設けられた一対の電極間に供給する電流に応じて上昇する。従って、冷陰極管に電流を連続的に供給する場合、その電流値の上昇に応じて輝度の上昇は飽和し、ある値で飽和する。(図5(b)参照)

【0043】しかしながら、図2の第1期間 Δt^1 における光源の輝度波形が示すように、電流 i^1 を冷陰極管に供給すると、その輝度は徐々に上昇する。このことから、所定の電流を冷陰極管に供給したときの管内温度の上昇は、電流 i^1 の供給開始時刻に対してある遅延を伴って生じることは明らかである。さらに、液晶表示装置での画像データ信号の書き換え周期、例えば60Hzでの16.7ms(ms=ミリ秒)、120Hzでの8.4ms(これらの値は動画表示に好適)を考慮すると、上記光源の動作周期をこの周期以下に設定することが望ましいが、この動作周期に対応させて上記第1及び第2期間の時間配分及び上記第1及び第2電流を設定すると、上記温度上昇の影響を低減することができる。先に参照した各冷陰極管のカタログから、冷陰極管の定格電流(その値の一例:6mA)で連続的に点灯した場合、冷陰極管の周囲温度に応じて次の知見が得られる。

【0044】(1)40℃の周囲温度では点灯開始から約150秒で輝度は飽和200秒経過後も輝度減少が認められない。

【0045】(2)60℃の周囲温度では点灯開始から約15秒で輝度は最大値を示し、その後輝度は緩やかに減少し、200秒経過後には最大値の90%に到る。

【0046】(3)80℃の周囲温度では点灯開始から約10秒で輝度は最大値を示し、その後の約10秒間で輝度は最大値の80%まで急激に減少し、以降、点灯開始から200秒経過後に掛けて輝度は緩やかに減少する。

【0047】これらの知見に基づき、本発明者等は冷陰極管の定格電流の2倍程度に第1電流を設定したとしても、その第1電流に対して小さく設定される第2電流の値及びその供給時間(第2の期間)を調整することにより冷陰極管の温度上昇を抑止できることを着想し、その効果を確認した。

【0048】一方、上記第2の期間では第1電流より小さい第2電流を光源に供給するため、光源の輝度が低下する。しかしながら、第2の期間における輝度低下は液晶表示素子を透過する光の輝度(以下、パネル輝度)で見ると、その影響は予想外に小さい。第2電流を0mAに設定したときの上記 $\Delta t^1 + \Delta t^2$ 分の動作周期(デューティ:50%)におけるパネル輝度の積分値で比較す

ると、第2の期間に生じる光源の残光に関して次の知見が実験的に得られた。(図6参照)

(4)液晶表示素子の画素を白表示した(この画素に光透過率を最大とする映像信号を送った)とき、その画素を透過する光の減衰は予想以上に小さく、その表示輝度の積分値は、上記動作周期において同じ電力で光源を連続点灯させたときの値より大きくなった。

【0049】(5)液晶表示素子の画素を黒表示した(この画素に光透過率を最小とする映像信号を送った)とき、その画素を透過する光の減衰は十分に大きく、その表示輝度の積分値は、上記動作周期において同じ電力で光源を連続点灯させたときの値の半分程度に抑えられた。

【0050】液晶表示装置に限らず、表示装置に要求される最大輝度は、複数画素のうちの最も明るく(白く)表示される画素の輝度となる。その他の画素、特に最も暗く(黒く)表示される画素や、これに近い階調(暗い灰色)で表示される画素において、これらの表示輝度が上がると表示画面全体が白けた映像となり、液晶表示装置の使用者にはCRTに対して見劣りのするものと受け取られる。

【0051】しかし、本発明者等が実験的に得た上記(4)及び(5)の知見は、上述のように所定のデューティで光源に供給する電流を変調すれば、電流を連続的に供給してきた従来の手法に比べ、表示画面において最も明るく表示される画素の輝度を高め、逆に最も暗く表示される画素の輝度を抑えられることを証明した。さらに、知見(4)及び(5)は上記デューティにおける消費電力を等しくした場合、光源を連続点灯したときに比べて上記最大輝度が格段に向上することを証明した。

【0052】この現象の根拠は完全に解明されていないが、電流値を抑えた期間(上記第2の期間)における光源の残光が、光透過率を一定の高さ以上に設定した画素において、予想以上にその輝度を保持したことは実験結果から明らかである。以上の考察により、本発明は既に述べたその目的及び他の目的を達成することは明らかである。

【0053】なお、知見(4)及び(5)は、液晶表示装置のパネル輝度をEIAJ(日本電子機械工業会規格)のED-2522に規定される条件に準拠して測定し、可視光領域(380nm~780nm)における波長毎のスペクトル強度を視感度補正(人間の目が実際に感じる光の量に換算)して得られた結果から導いた。この測定は、液晶表示装置を暗室に置き、輝度計を液晶表示素子から50cm離し且つその表示領域に対して垂直に配置して実施する。このような測定を行うに好適な輝度計としては、例えばフォトリサーチ社製のPR704型があり、この装置により輝度を単位立体角あたりの光束の値を測定距離や測定面積に依存しない値として求めることができる。また、例えば上記 $\Delta t^1 + \Delta t^2$ 分の

動作周期といった所望の時間における輝度の積分値、その時間における輝度の変動、及び液晶表示素子の表示画面内の輝度分布を夫々測定することができる。なお、先述のコントラスト比は一般的には、「表示画面全体を白表示したときの輝度／表示画面全体を黒表示したときの輝度」の比で求められる。この一般的な手法に代えて、表示画面（画像を形成する画素）の一部を白表示させ（その画素部にこれらの光透過率を最大にする映像信号を送り）、かつ表示画面（画像を形成する画素）の他の一部を黒表示させる（その画素部にこれらの光透過率を最小にする映像信号を送る）テストパターンを液晶表示素子に表示し、白表示部の輝度と黒表示部の輝度とを算出し（この時算出する各表示領域サイズは同数とする）、その輝度比としてコントラスト比を求めてもよい。

【0054】観点1に基づく本発明の液晶表示装置への適用に際し、上述のように液晶表示装置での画像データ信号の書き換え周期（60Hzで16.7ms、120Hzで8.4ms）に対し、上記光源の動作周期をこの周期以下に設定する場合、これに用いられる液晶材料（液晶層）の応答時間をデータ信号の書き換え周期（上記16.7ms又は8.4ms）以下に抑えるよう、その材料の調合を行うことが望ましい。しかし、液晶材料の応答時間がデータ信号の書き換え周期に比べて著しく遅い場合は、ゴースト現象（多重輪郭）が発生する。このためデータ信号の書き換え周期と上述した光源の動作周期とのタイミングをずらす方が好ましい。

【0055】従って、図2に示した第1期間 Δt^1 と第2期間 Δt^2 とからなる周期と表示画像信号の書き換え周期（図2における同期信号Vsyncの周期）との間に、所定の位相差を設定することにより、異ならせるとよい。

【0056】以上、本発明の実施の形態を説明したが、更なる詳細に関し、以下の実施例により説明を加える。

【0057】＜実施例1＞本実施例では、図3に示すサイドライト型液晶表示装置を夫々の厚みが0.7mmの一对のガラス基板3を用いて構成し、その一方の基板にはTFT駆動のための薄膜トランジスタを画素毎に形成した。この一对の基板3間に挟持される液晶層2は、誘電率異方性 Δn_e が正で、 Δn_d は0.41 μm とした。また、液晶層2に封入された液晶分子のツイスト角は90度としたが、より液晶の応答速度を速くするためには70度等の低ツイスト角化が望ましい。ツイスト角を抑える場合、これに適した Δn_d はさらに小さくなるため（例えば、0.35 μm ）、セルギャップを縮めることが必要である。

【0058】本実施例にて用いる光源ユニット10は、図3（b）の斜視図に示すような外径4mm ϕ の蛍光灯（冷陰極管）8を導光板11の長辺方向に各1本、計2本配置した構造を有する。ここでは図に示さないが、輝

度向上のための拡散シート、再帰偏光反射フィルムや、出射光の角度依存性を制御するレンズシートを配置してもよい。

【0059】本実施例では、上述の第1電流を10mA、第2電流を0mAとして、デューティ50%で蛍光灯8に供給した。蛍光灯8の表面温度は、図7（a）に示すように時間とともに上昇する。一方、輝度は、図7（a）に示すように時間とともに上昇し、その後一時的に減衰し、まもなく飽和した。この実施例では、デューティを60%に設定した上述の観点3の例に比べて輝度の減衰は低い。

【0060】このようにデューティを50%以下に設定すると、蛍光灯8の中央部の温度上昇が70℃以下に抑えられ、また液晶表示素子（液晶表示パネル）の表示領域（有効表示領域）の輝度の最大値と最小値の差がその平均値の20%以上となる。また、デューティを50%以下に抑えても輝度の最大値を200cd/m²以上とすることができ、輝度の最小値を2cd/m²以下に抑えることができる。

【0061】ところで、光源ユニットに用いられる蛍光灯のランプ直径は通常2.6mm程度であるが、ガラス肉厚を厚くした直径3mmタイプや、さらに内径を太くしガス、水銀含有量を増した直径4mm以上のタイプの使用も可能である。一般にランプ直径を大きくすると、表面積が大きくなるため放熱に有利である。さらに点灯電圧の低下や、ランプ寿命（輝度半減値）の延長といった作用もある。また、直径（外径）2.6mmの冷陰極管（蛍光灯）を用いた場合、その長さによらず管電流6mA以上印加すると発熱により、発光効率（輝度）が低下する。これに対し、本実施例では蛍光灯8の外径を大きくすることで、その発熱の影響を抑えた。このため、供給電流による蛍光灯内での放電効率も上がり、デューティを50%に抑えても十分な輝度を得ることができた。

【0062】本実施例において、図8に示した調光回路により、光源の点灯周期における上記第1期間（点灯期間）又は上記第2期間（休止期間）の比率の変化、光源のランプを点灯させる印加電力の変化を設定し、あるいはこれらの設定を併わせて行ってもよい。点灯周期における調光（図9の輝度波形信号に示すように点灯期間あるいは休止期間の比率の変化による調光）では、上記点灯周期を点灯期間あるいは休止期間のいずれか一方のみに設定することも可能である。従って図9に示すように前記光源の点灯周期において、ランプを全点灯することなく、常に休止期間を設けることで発光効率を改善することもできる。また図10のように高輝度を得るときのみ、ランプを点滅させてもよい。

【0063】尚、図9において、輝度高の範囲としては300cd/m²以上、輝度中の範囲としては、200～250cd/m²を含む200～299cd/m²、輝度低は100cd/m²を含む199cd/m²以下

と定義する。

【0064】＜実施例2＞次に、この実施例では、動画表示に適した光源の変調点灯に関して説明する。

【0065】液晶表示装置においてブラウン管と同等の動画表示特性を得るためには、光源を常時点灯から、点灯と休止期間をそれぞれ有する点滅点灯にすることで、CRTのようなインパルス型発光が可能である。この時、図9の夫々に示すようにデータ書き換え周期（ここではVsyncの周期）は一定に保ち、点滅の周期を変えることもできる。

【0066】このようにして、点滅点灯する光源ユニットを用いる液晶表示装置においてもCRTと同等のインパルス型発光が実現でき、動画表示が可能となる。従来の光源ユニットは、画像信号が明表示、暗表示によらず、蛍光灯が常に点灯（連続点灯）しているためエネルギー効率が悪かった。これに対し画像信号の情報量に合わせて、光源の照射量を制御することで、蛍光管の発光効率が向上し、消費電力の節約、ランプ温度の上昇抑制によるさらなる輝度向上を図ることが可能となる。すなわち、画像が暗い時には光源の照射量を減らし、画像が明るい時には照射量を増加させ、これにより輝度と階調特性の関係、いわゆるトーンカーブ特性も背景の明るさや、画像信号に合わせて制御することが可能となる。このように画像信号の明暗の情報によって、上記第1期間（点灯期間）と上記第2期間（第2電流を0mAとする場合、休止期間）の時間比率を変えることで光源の照射光量を制御する。

【0067】また、画像信号の動きの情報量により点灯期間と休止期間の時間比率を変えることで、動きの速い場合は点灯時間を短くすることでより美しい動画表示が可能である。すなわち、映像信号の状態に合わせ、動きの遅い場合には液晶の応答速度の遅さは問題とならないため、入出力のフレーム周波数は一致させ、この出力フレーム周波数に対応させて前記光源の点灯期間と休止期間も出力フレーム周期で制御する（図11(a)）。次に、上記に対し映像信号の動きが速い場合には、液晶の応答速度を改善（高速化）するために、入力フレーム周波数に対し出力フレーム周波数を2倍速化し、ダミーデータを挿入する。これに対応させて前記光源の点灯期間と休止期間も出力フレーム周期で制御する（図11(b)）。

【0068】さらに、上記に対し映像信号の動きが速い場合には、入力フレーム周波数に対し出力フレーム周波数を3倍速化し、より多くのダミーデータを挿入することで応答速度を改善する。これに対応させて前記光源の点灯期間と休止期間も出力フレーム周期で制御する。

（図11(c)）

この時、前記光源の点灯期間と休止期間の比率によらず、各点灯周期間における該光源を発光させるためのランプに印加される電流実効値が概ね一定となるように制

御するとよい。また、前記電流実効値を変化させることにより光源の照射光量を変化させることもできる。また、上記休止期間の輝度を図12に示すように完全に0とするのではなく、ある一定の輝度とすることで、画面全体が高い輝度の場合であっても、十分な輝度を確保することができる。もちろん、休止期間の輝度を高める期間はある程度短くすることが望ましい。

【0069】さらに完全な動画表示を行うためには、光源ユニットをインパルス型発光するだけではなく、図16に示すように画像信号のデータ走査タイミングと光源の点滅のタイミングを同期させる必要がある。一般に画像信号のデータ走査タイミングとして、垂直あるいは水平同期信号、フレーム信号、走査ライン信号等があり、これらの走査周期と点滅周期を等しくし、走査タイミングを同期させる。このような場合は直下型の光源ユニットの利用が望ましく効果が大きい。サイドライト型の光源ユニットにおいても上下分割により可能である。

【0070】上下分割したサイドライト型では、前記光源における点灯期間と休止期間からなる周期が表示画像信号の書き換え周期と等しく、かつ前記表示装置の信号走査線がn本からなる時に、 $n/2$ 本目の信号走査の開始時間が該光源の点灯開始時間と同期させてもよい。すなわち画面の中央で画像信号と光源の点滅を同期させることで動画表示が可能となる。さらに前記光源における点灯期間と休止期間からなる周期と表示画像信号の書き換え周期とが等しく、かつ前記表示装置の信号走査線がn本からなる時に、 $n=1$ 本目の信号周期の開始時間が該光源の点灯開始時間から一定時間遅延させてもよい。ここで、この遅延時間を $n/2$ 本目の信号走査の開始時間とした場合、前記方法と同じ結果となる。

【0071】また、前記光源の休止期間が点灯時間の $1/20$ 以上、休止期間中の輝度が点灯時間中の輝度の90%以下とすることが動画表示には有効である。

【0072】さらに美しい動画表示を得るには、対向配置された少なくとも一方が電極を有した一対の基板及び該基板間に挟持された液晶層からなる液晶パネルと、上記電極に表示画像信号に応じた電圧を印加するための制御手段と、液晶パネルを照射する光源が備えられた液晶表示装置であって、上記光源がランプとランプの出射光を反射する反射器と反射された光を液晶層に導く導光板からなり、該導光板の側面の少なくとも1辺の長さ方向にランプが配置され、該光源が点灯期間と休止期間からなる周期を有し、かつ該周期中の点灯期間と休止期間の時間比率と該光源を発光させるための電力値により、光源の照射光量を変化させることが必要である。この表示装置の光源ユニットはいわゆるサイドライト型と呼ばれ、使用するランプは厚み方向に1、2、あるいは3本配置する。また導光板の4辺のどの位置にランプを配置するかは表示装置の輝度、液晶セルの透過率によって決まる。

【0073】透過率が高いTNタイプ液晶などでは、導光板の長辺に1本のランプを配置するが、より高輝度を得るには長辺2辺に各1本、あるいは短辺に各1本配置してもよい、さらにランプは線状の直線タイプでなく、屈曲点を有するL字タイプやコの字タイプのランプでもよい。透過率の低いIPSモードではランプを長辺2辺に各2ないし3本配置してもよい。

【0074】さらに対向配置された少なくとも一方が電極を有した一对の基板及び該基板間に挟持された液晶層からなる液晶パネルと、上記電極に表示画像信号に応じた電圧を印加するための制御手段と、液晶パネルを照射する光源が備えられた液晶表示装置であって、上記光源は液晶パネルの有効表示領域の直下に配置された複数のランプと各ランプの光を反射する複数の反射器とからなり、該光源が点灯期間と休止期間からなる周期を有し、かつ該周期中の点灯期間と休止期間の時間比率と該光源を発光させるための電力値により、光源の照射光量を変化させることも必要とする。この光源ユニットは直下型タイプであり、ランプ本数は長辺方向に4から12本程度、あるいは短辺方向に4から20本程度と輝度と画面サイズに応じて配置する。

【0075】光源ユニットにおいて、従来、ランプは液晶パネルの有効表示領域の外側に配置されてきた。これはランプの発熱により液晶セルが熱せられるのを防ぐためである。液晶は温度変化により屈折率の値が変化し、透過率が変化する性質を有する。そのため局所的に熱せられた場合、その部分透過率すなわち輝度や明るさが変化し、表示ムラとなる。しかし、本発明の光源ユニットは発熱が少ないためこのような表示ムラが起きにくく、光源におけるランプ配置を例えば直下型のように表示領域の内側にすることが可能であり、これにより表示装置の外形サイズ軽減も可能となる。

【0076】以上説明してきた光源ユニットにおいて使用するランプは、冷陰極蛍光灯、あるいは熱陰極蛍光灯、あるいはキセノンランプ、真空蛍光表示管が使用可能である。冷陰極蛍光灯は発熱が少ないことが特徴であるが、より放熱を効果的に行うためにはランプ表面積を大きくする必要があり、前記光源のランプ直径を3mm以上にするとよい。また熱比重を大きくするため、前記光源のランプのガラス厚が1mm以上とするとより放熱が効果的である。光源のランプは直径を太くすることも可能であり、ランプ中の含有ガスをキセノンに置換えることも可能である。

【0077】以上の説明に基づき、本発明による液晶モジュールの具体的な構成を以下に示す。

【0078】図13は、導光板11の長辺2辺に対して蛍光灯8を各1本配置した光源ユニットの例である。図13(a)はトランス1個でランプ1本を点灯するインバータ配置を示すが、これを図13(b)に示すようにトランス1個でランプ2本の点灯も可能である。この場

合、部品数削減によりコストの節約となる。ここでインバータとは、ランプを点灯するための回路を総称しており、直流電圧を交流電圧への変換回路、電流制御回路、周波数偏重回路、トランスによる昇圧回路等を含む。またトランスの他に圧電素子の使用も可能である。

【0079】図14は、液晶層2が $\Delta n d = 0.28 \mu m$ であり且つツイスト角0度で平行配向され、基板面に平行な電界が印加される横電界モードの液晶表示素子を備える液晶パネルの一例を示したものである。図14

(a)にその液晶表示装置の断面図を示す。また、これに搭載される光源ユニット10の斜視図を図14(b)に示す。光源ユニット10は、冷陰極管として直径4mmφを長辺方向に2本×2の計4本配置したサイドライト型の構造を有する。ここでインバータ配置は図15に示すようにトランス1個で2本の蛍光灯8を点灯する構成が望ましい。

【0080】<実施例3>この実施例では、動画表示に適した光源の点滅点灯の制御を動き量の検出に対応して行うシステムに関して説明する。

【0081】上記のように、液晶表示装置においてCRTと同等の動画表示特性を得るためには、光源を常時点灯から、点灯期間と休止期間をそれぞれ有する点滅点灯にすることで、CRTのようなインパルス型発光が可能である。この点滅制御について以下、説明する。

【0082】まず、液晶表示装置の表示領域に対して、全領域を同時に点滅点灯させる場合について考える。ここでは、表示領域の長辺2辺に対し各1本の蛍光灯8を配置したサイドライト型の光源を用いたシステムを例にして説明する。図17はサイドライト型の光源の制御回路の構成を示している。20は液晶表示装置本体またはこれが搭載されるテレビジョン装置等から直流電源電圧を供給する入力端子であり、23は光源に印加すべき電圧に応じた直流電圧に変換する調光回路であり、21は交流電圧に変換するインバータ回路であり、25は上記第1の期間（点灯期間）と上記第2の期間（第2電流を0mAとした時、休止期間）の時間比率を制御するスイッチング制御回路である。

【0083】上記のように、画像信号の動きの情報量により第1の点灯輝度（点灯期間）と第2の点灯輝度（本例では休止期間）の時間比率を変えることで、より美しい動画表示が可能となる。つまり、図11のように動きの速い場合は点灯時間を長く、動きの少ない場合は点灯時間を短くしたり、また表示領域全面にわたり動く情報量（画素数）が多い場合は点灯時間を長く、動く情報量が少ない場合は点灯時間を短くしたりすることで、より美しい動画表示が可能となる。この時、前記光源の点灯期間と休止期間の比率に応じて、各点灯周期における該光源を発光させるためのランプに印加される電流実効値を変化させることにより、光源の照射光量を変化させ、動画表示輝度レベルを安定することができる。例え

ば、動く画素数が表示データによる全表示領域画面を構成する画素数に占める割合に応じて、第1の点灯輝度と第2の点灯輝度の周期に占める第1の点灯輝度の期間を変化させる。例えば、動く画素数が表示データによる全画面を構成する画素数に占める割合が3フレームに渡って10%以上であれば表示データは動画であると判断し、第1の点灯輝度の割合を50%より小さくし、上記以外の場合には静止画と判断し、第1の点灯輝度の割合を50%以上とする。

【0084】スイッチング制御回路25の一例を図18に示し説明する。図18はスイッチング制御回路25の構成を示しており、図中の50は表示情報(Data)を1フレーム分格納し、次の1フレームで読み出しを行うデータ格納部(この場合、フレームメモリである)であり、52は現フレームの表示データ(Data)とデータ格納部50から読み出した前フレームの表示データ(Data')を対応する画素毎に比較するデータ比較部である。53はデータ比較部52の出力を1表示領域分(1フレーム分)毎に取り込み光源点灯信号BLの第1期間(点灯期間)の開始時間ps及び第1期間の時間pw(ps及びpwの単位はHsyncの1周期である水平期間とする)を生成するパルス制御部であり、51は垂直同期信号Vsyncにより初期化し水平同期信号Hsyncをカウントするラインカウンタ部であり、54はラインカウンタ部51の出力するラインカウンタ値とパルス制御部53の出力するps及びpwとにより光源点灯信号BLを生成するパルス生成部である。ここで、データ比較部52では、現フレームの表示データ(Data)とデータ格納部50から読み出した前フレームの表示データ(Data')を表示1画素(Dotckの1クロックに同期している)毎に比較しているが、この結果、両者が異なっている場合は、動画であると判断し、その表示1画素に対して動画判定信号を出力する。

【0085】パルス制御部53では、データ比較部52の該動画判定信号を表示領域の1画面分を加算し、その加算結果を段階的に切り分けることにより、該表示領域の動画像の動き情報量を判別し、第1期間の開始時間ps及び第1期間の時間pwを設定する。隣接フレーム間のデータ比較において、実際に映像データを表示している全領域に対する一定割合以上(50%以上)のデータが不一致の場合には動く情報量は多いと定義し、一定割合以下の場合には動く情報量は少ないと定義する。更に、データの一致/不一致の定義は、各画素の比較において、一定の階調データ以上(例えば全256階調の場合128階調以上)の場合に不一致と判断し、一定の階調データ以下の場合には一致と判断するようにする。以上のように構成するスイッチング制御回路25により生成される光源点灯信号BLのタイミング図を図19に示す。図19(a)はデータ比較部52による比較の結果、ほとんど変化が無いと判断した場合(静止画像に近

い表示、後述するように1フレーム前の画素と入力データの対応画素を比較し、不一致分が10%以下)の光源点灯信号BLであり、同図(b)は動画像の少ない場合(1フレーム前の画素と入力データの対応画素を比較し、不一致分が10%以上50%未満)((a)と比較した時、(b)の方が動き情報量が多い)のBLであり、同図(c)は動画像が多い場合(1フレーム前の画素と入力データの対応画素を比較し、不一致分が50%以上)のBLである。

【0086】液晶の応答速度は遅く、一般的には1フレーム周期以上を要する。従って、図20に示すように従来のホールド型による光源の常時点灯では、目的とする到達段階値に至るまで遷移階調が表示ボケとなって現れる。これを改善するために、前記光源のパルス幅及び位相による点灯タイミングを到達すべき階調データに達したタイミングに合わせることで、遷移階調の表示を抑止することを可能とし、ボケの少ない良好な動画表示を可能とする。

【0087】また、前記データ格納部50を複数フレーム分備えることで、隣接前後のフレームデータの比較に止まらず、複数フレーム期間に対する動画検出が可能となる。これにより動きの傾向を把握することができ、より忠実な動画判定を可能とする。

【0088】以上説明したスイッチング制御回路25では、データ格納部50としてフレームメモリを設け、任意フレーム分の表示データを格納することにより、任意フレーム分の表示データについてデータ比較を行い、該比較結果に応じて光源点灯信号BLを生成した。しかし、液晶表示装置の表示領域拡大(ここでは、表示解像度を意味する)に伴い、データ格納部50のメモリ容量が増大する。これによりスイッチング制御回路25は、液晶表示領域が小さい場合には1チップの制御回路(LSI)で実現できていたが、液晶表示領域が拡大するにつれてデータ格納部50を外付けする2チップ以上の制御回路構成なり、制御回路のコスト面だけでなく基板部品実装の面からも問題となる。そこで、データ格納部50を、上記のような表示領域全ての表示データを1フレーム分格納する方法ではなく、表示領域内において予めデータ比較画素(検出ポイント)を決定しておき、この画素の表示データのみを格納するレジスタ構成にしても良い。但し、比較を行う画素の総数は、制御回路の規模の制約から決定することになるが、フレームメモリを用いた場合とレジスタ構成とした場合とではほぼ同じ結果となるように決定する必要がある。ここで、データ比較を行うため画素(検出ポイント)の1例を図21に示す。図21(a)は検出ポイントを表示画面の表示領域に対し一様に設定した場合を示し、図21(b)は検出ポイントを画面中央に集中して設定した場合を示す。一様に分布させる図21(a)の場合、実際に表示データを表示している全領域に対し、一定の割合となるようなボイ

ント数（例えば一定の割合を10%とした場合、実際に表示領域が水平1024画素、垂直768画素の全786432画素であれば、その10%の78643画素となる）を実際の表示領域に対し均等に分布させる。一方中央分布の図21(b)では、一定の割合のポイント数（78643画素）を実際に表示領域中央部を周辺部より多く分布させることをいう。

【0089】近年のパーソナルコンピュータはウインドウシステムを採用しているOS（Operating System）が主流となっており、画面上に複数のウインドウを表示することができる。そして、現在使用中のウインドウは画面中央に表示する場合が多いと考えられることから、図21(b)の検出ポイントの設定は有効となる。

【0090】さらに完全な動画表示を行うためには、光源ユニットをインパルス型発光するだけでなく、画像信号のデータ走査タイミングと光源の点滅のタイミングを同期させると良い。上記実施例では、画面の中央で画像信号のデータ走査タイミングと光源の点滅を同期させていたが、これに限らず、表示領域全体の画像情報に応じて、点灯開始時間を決定しても良い。これを実現するためのスイッチング制御回路25の一例を図22に示し説明する。

【0091】表示領域を複数の領域に分割し（例えば図23に示すように4つの領域に分割）、どの領域に動画表示が多いかを判定するモード判定部55を配置した以外、図18で説明した回路と同様である。データ比較部52では、現フレームの表示データ（Data）とデータ格納部50から読み出した前フレームの表示データ（Data'）を表示1画素（Dotclkの1クロックに同期している）毎に比較しているが、この結果、両者が異なっている場合は、動画であると判断し、その表示1画素に対して動画判定信号を出力する。モード判定部55は、図23に示すように表示画面を4つの領域に分け、各領域毎の動画判定信号を加算していき、この結果から最も動画判定信号が多い領域を指示するモード信号を出力する。次にパルス制御部53では、該モード信号に従い、第1期間の開始時間ps及び第1期間の時間pwを設定する。以上のように構成するスイッチング制御回路25により生成される光源点灯信号BLのタイミング図の一例を図24に示す。図27(a)は図34に示す分割した表示領域の最上部Y1が他の3領域と比較して最も動画表示が多いと判断したモードY1の時の光源点灯信号BLを示している。つまり、この領域Y1の表示データの書き込みが終了した直後（表示装置の信号走査線がn本からなる時に、 $n/4$ 本目の信号走査の開始時間）、第2の期間（休止期間）になるように、第1期間の開始時間ps及び第1期間の時間pwを設定している。

【0092】以下同様に、図27(b)は第2の表示領域Y2がモードの場合、図27(c)は第3の表示領域Y3がモードの場合、図27(d)は第4の表示領域Y

4がモードの場合を示している。

【0093】次に、液晶表示装置の表示領域に対して、複数領域に分割して各々領域を個別に点滅点灯させる場合について考える。ここでは、直下型の光源を用いたシステムが容易に実現可能なことから、これを例にして説明する。図25は直下型の光源の制御回路の構成を示している。蛍光灯8は4本とし、これを制御するインバータ21は各々の蛍光灯8に対して計4ヶ用意されている。20は直流電源電圧を供給する入力端子であり、23は光源に印加すべき電圧に応じた直流電圧に変換する調光回路であり、25は上記第1の期間（点灯期間）と上記第2の期間（第2電流を0mAとした時、休止期間）の時間比率を制御するスイッチング制御回路である。このスイッチング制御回路25は図26に示す構成となっている。

【0094】直下型の光源を4本の蛍光灯8で構成したため、表示領域を図23に示した時と同様に4つの領域に分割しており、各蛍光灯8の点滅点灯の制御を行うための光源点灯信号BL1～BL4を生成し出力する。データ比較部52では、現フレームの表示データ（Data）とデータ格納部50から読み出した前フレームの表示データ（Data'）を表示1画素（Dotclkの1クロックに同期している）毎に比較しているが、この結果、両者が異なっている場合は、動画であると判断し、その表示1画素に対して動画判定信号を出力する。モード判定部55は、図23に示すように表示画面を4つの領域に分け、各領域毎の動画判定信号を加算していき、この結果から動画判定信号が多い領域を指示するモード信号を出力する。このモード信号は単に動画判定信号が最も多い領域を一つ選び出して指示するだけでなく、表示によっては2つ以上を指示しても良い。また、2つ以上を指示する場合、この2つの領域は隣接領域、分散領域のいずれでも問題なく、前記モード判定部55より出力する各領域毎の動画判定信号加算結果の大小関係より容易に制御することが可能である。

【0095】次にパルス制御部53では、該モード信号に従い、各表示領域に対する光源点灯信号における第1期間の開始時間（ps1～ps4）及び第1期間の時間（pw1～pw4）を設定する。次にパルス生成部54はラインカウント部51の出力するラインカウント値とパルス制御部53の出力するps1～ps4及びpw1～pw4とにより光源点灯信号BL1～BL4を生成する。以上のように構成するスイッチング制御回路25により生成される光源点灯信号BL1～BL4のタイミング図の一例を図27に示す。図27(a)は動画表示が少ない時（静止画像の場合も当然含まれる）や動画像がある程度あってもその総数の差が領域毎では検出できない（モード無し）場合のBL1～BL4を示す。モードが無い場合、各々の領域毎に最適な設定を行う。つまり、領域Y1においてはこの領域Y1の表示データの書

き込みが終了した直後（表示装置の信号走査線が n 本からなる時に、 $n/4$ 本目の信号走査の開始時間）に第2の期間になるように、第1期間の開始時間 $ps1$ 及び第1期間の時間 $pw1$ を設定し、光源点灯信号 $BL1$ を生成する。以下同様に、領域 $Y2$ においてはこの領域 $Y2$ の表示データの書き込みが終了した直後（表示装置の信号走査線が n 本からなる時に、 $2n/4$ 本目の信号走査の開始時間）に第2の期間になるように、 $ps2$ 及び $pw2$ を設定し $BL2$ を生成し、領域 $Y3$ においてはこの領域 $Y3$ の表示データの書き込みが終了した直後（表示装置の信号走査線が n 本からなる時に、 $3n/4$ 本目の信号走査の開始時間）に第2の期間になるように、 $ps3$ 及び $pw3$ を設定し $BL3$ を生成し、領域 $Y4$ においてはこの領域 $Y4$ の表示データの書き込みが終了した直後（表示装置の信号走査線が n 本からなる時に、 n 本目の信号走査の終了直後）に第2の期間になるように、 $ps4$ 及び $pw4$ を設定し $BL4$ を生成する。図27

(b)は動画判定信号が領域 $Y1$ で最も多い場合（モード $Y1$ ）の $BL1 \sim BL4$ を示す。領域 $Y1$ の動画表示の最適化を図るため、これ以外の領域 $Y2 \sim Y4$ も領域 $Y1$ に同期させて光源の点灯制御を行う。つまり、領域 $Y1$ の表示データの書き込みが終了した直後（表示装置の信号走査線が n 本からなる時に、 $n/4$ 本目の信号走査の開始時間）に第2の期間になるように、第1期間の開始時間 $ps1 \sim ps4$ 及び第1期間の時間 $pw1 \sim pw4$ を同じ値に設定し、光源点灯信号 $BL1 \sim BL4$ を生成している。また図27(c)は動画判定信号が領域 $Y1$ と領域 $Y2$ で多い場合（モード $Y1, Y2$ ）の $BL1 \sim BL4$ を示す。領域 $Y1$ 及び $Y2$ の動画表示の最適化を図るため、この領域に対しては各々の最適設定を行

い、これ以外の領域 $Y3, Y4$ も領域 $Y1, Y2$ に同期させて（ここでは、 $Y1$ と $Y2$ の最適設定の平均値を取る）、光源の点灯制御を行う。つまり、領域 $Y1$ においては領域 $Y1$ の表示データの書き込みが終了した直後（表示装置の信号走査線が n 本からなる時に、 $n/4$ 本目の信号走査の開始時間）に第2の期間になるように、 $ps1$ 及び $pw1$ を設定し、光源点灯信号 $BL1$ を生成し、領域 $Y2$ においてはこの領域 $Y2$ の表示データの書き込みが終了した直後（表示装置の信号走査線が n 本からなる時に、 $2n/4$ 本目の信号走査の開始時間）に第2の期間になるように、 $ps2$ 及び $pw2$ を設定し $BL2$ を生成し、領域 $Y3$ および領域 $Y4$ は領域 $Y2$ の中間行表示データの書き込みが終了した直後（表示装置の信号走査線が n 本からなる時に、 $5n/8$ 本目の信号走査の開始時間）に第2の期間になるように、 $ps3, ps4$ 及び $pw3, pw4$ を設定し $BL3, BL4$ を生成する。さらに図27(d)は動画判定信号が領域 $Y1$ と領域 $Y3$ で多い場合（モード $Y1, Y3$ ）の $BL1 \sim BL4$ を示す。領域 $Y1$ 及び $Y3$ の動画表示の最適化を図るため、この領域に対しては各々の最適設定を行い、これ

以外の領域 $Y2$ は領域 $Y1$ に同期させ、また領域 $Y4$ は領域 $Y3$ に同期させ、光源の点灯制御を行う。つまり、領域 $Y1$ 及び $Y2$ においては領域 $Y1$ の表示データの書き込みが終了した直後（表示装置の信号走査線が n 本からなる時に、 $n/4$ 本目の信号走査の開始時間）に第2の期間になるように、 $ps1, ps2$ 及び $pw1, pw2$ を設定し、光源点灯信号 $BL1, BL2$ を生成し、領域 $Y3, Y4$ においては領域 $Y3$ の表示データの書き込みが終了した直後（表示装置の信号走査線が n 本からなる時に、 $3n/4$ 本目の信号走査の開始時間）に第2の期間になるように、 $ps3, ps4$ 及び $pw3, pw4$ を設定し $BL3, BL4$ を生成する。

【0096】尚、図27に動画表示のモード判定結果に応じた光源点灯信号を示したが、これに限らず動画表示が最適になるように設定しても何ら問題はない。またここではモード判定でのみ制御する方法を述べたが、先の図19でも述べたように動画像の総数に応じて各々の領域で第1期間の開始時間（ $ps1 \sim ps4$ ）及び第1期間の時間（ $pw1 \sim pw4$ ）を設定しても何ら問題はない。

【0097】次に表示画像の表示輝度に応じた光源点灯制御について述べる。

【0098】従来の光源ユニットは、画像信号が明表示、暗表示によらず、蛍光灯が常に点灯しているためエネルギー効率が悪かった。これに対し画像信号の情報量（輝度情報など）に合わせて、光源の照射量を制御することで、蛍光管の発光効率が向上し、消費電力の節約、ランプ温度の上昇抑制によるさらなる輝度向上が図れる。すなわち画像が暗い時には光源の照射量を減らし、画像が明るい時には照射量を増加させる。このように画像信号の明暗の情報によって、上記第1期間（点灯期間）と上記第2期間（第2電流を0mAとする場合、休止期間）の時間比率を変えることで光源の照射光量を制御できる。図28はこの点灯制御を行うためのスイッチング制御回路25を示した図である。同図において、56は入力する表示データから輝度情報を1フレーム分蓄積していき、表示領域の全面にわたる表示輝度（平均輝度）のレベルを検出する表示輝度検出部である。また57は表示輝度検出部56の結果を一定の期間保持するフレームラッチ部である。53は、57の出力である表示輝度検出結果に従い、各表示領域に対する光源点灯信号における第1期間の開始時間 ps 及び第1期間の時間 pw を設定するパルス制御部であり、54はラインカウンタ部51の出力するラインカウンタ値とパルス制御部53の出力する ps 及び pw とにより光源点灯信号 BL を生成する。以上のように構成するスイッチング制御回路25により生成される光源点灯信号 BL のタイミング図を図29に示す。

【0099】図29(a)は表示輝度検出部56による結果、画面の平均輝度が高い（明るい）とした場合の光

源点灯信号BLであり、同図(b)は画面の平均輝度が中間とした場合のBLであり、同図(c)は平均輝度が低い(暗い)場合のBLである。尚、表示輝度が高い表示データと低い表示データが高速に切り替わった場合、これに同期して光源の照射光量も高速に切り替わると、この切り替わりが表示のちらつき(フリッカ)として可視されるため、問題となる。そこで、本制御回路では表示輝度情報保持部57を設けることで、光源の照射光量の高速切り替わりを緩和させている。

【0100】また、液晶表示装置に表示する画像により、あるいはその利用者の都合により、本発明による光源の点滅点灯ではなく、通常の連続点灯で利用する場合がある。このため、上記スイッチング制御回路には外部から点灯メニュー選択信号を入力するセクションを設けることが望ましい。この一例を図30に示す。図30は点灯方式指示回路60の構成を示す図であり、61は表示画像信号に入手手段を判別する入力手段判別部であり、62は利用者が上記した光源の点滅点灯を使用するか(メニュー選択)を決定する点灯選択部であり、63は61及び62の出力結果により点滅点灯を可能にする点灯指示信号を出力する点灯指示信号生成部である。現在、液晶表示装置を搭載したディスプレイ装置として、液晶モニターや液晶テレビがあり、これら装置の表示画像信号の入手段として、パーソナルコンピュータ用途のアナログRGB入力、ビデオモニター用途のコンポジット入力やS映像端子入力、DVDプレイヤー用途の色差入力、テレビ用途のアンテナ入力などがある。このため、入力手段判別部61は、入力手段が何であるかをそれらの入力手段とディスプレイ装置との接続状態により判別する。点灯指示信号生成部63は、入力手段判別部61の結果、入力手段が例えばパーソナルコンピュータ用途のアナログRGB入力であったとすると、動画像が少ないと判断し光源の点滅点灯を行わないと指示する。一方、ビデオモニター用途やテレビ用途と判定した場合には、動画像が殆どであると判断し光源の点滅点灯を行うと指示する。尚、これらは自動設定されとした場合、利用者はメニュー選択により、光源の点滅点灯を自由に選択できるものとする。

【0101】<実施例4>この実施例では、動画表示に適した階調制御及び、光源の点滅点灯の制御を入力映像データの階調特性検出に対応して行うシステムに関して説明する。なお、本実施例は発明者が、実際にその効果を確認するために8灯直下型バックライト搭載TF Tモジュールを用いて試作した表示システムを一構成例として述べたものである。

【0102】図31は本発明による液晶表示モジュールの概略構成図である。

【0103】図31において、3101は液晶モジュール、3102は液晶駆動制御基板(以下、TC ON基板と称す)、3103はインバータ基板、3104はゲート用フラット

ケーブル(以下、ゲートFPCと称す)、3105はドレイン用フラットケーブル(以下、ドレインFPCと称す)、3106はインバータ制御用ケーブル(以下、インバータケーブルと称す)、3107はランプ高圧側ケーブル、3108はランプ低圧側ケーブルを各々示す。

【0104】図31に示すように、TC ON基板 3102、インバータ基板 3107は液晶モジュール 3101の背面に実装する。まず、システム側より映像信号、電源をTC ON基板 3102に供給する。TC ON基板 3102は映像処理、タイミング処理などを行いゲートFPC 3104及び、ドレインFPC 3105を介して液晶モジュール 3101に映像信号及び、タイミング信号を出力する。同時に、インバータケーブル 3106を介してインバータ基板 3103を制御し、ランプ高圧側ケーブル 3107より供給する管電流量によりランプを点灯し、インバータ基板への戻り電流はランプ低圧側ケーブル 3108を介する。なお、本例ではランプは液晶モジュール背面に均等配置する直下型液晶モジュールについて示している。

【0105】図32は本発明による液晶表示モジュール背面に実装するTC ON基板の概略構成図である。

【0106】図32において、3201は低電圧差動デジタル映像信号入力コネクタ部(以下、映像信号入力コネクタ部と称す)、3202は映像データ変換(低電圧差動→TTL)LSI、3203はFPGA論理データ設定コネクタ、3204はFPGA論理データ設定ROM、3205は液晶パネル制御FPGAもしくはLSI、3206はFPGA(もしくはLSI)3205の動作モード設定SW、3207はフレームメモリ、3208は発振器、3209は階調電圧制御用コンパレータ、3210はゲート信号用コネクタ、3211はドレイン信号用コネクタ、3212はドレイン信号用コネクタ、3213は映像データ変換(TTL→低電圧差動)LSI、3214は低電圧差動デジタル映像信号出力コネクタ部(以下、映像信号出力コネクタ部と称す)、3215はD/A変換コンパレータ、3216はインバータ制御コネクタ部、3217は電源回路部を各々示す。

【0107】まず、システムからの低電圧差動デジタル映像信号を映像信号入力コネクタ部 3201に入力する。入力された映像信号を、映像データ変換(低電圧差動→TTL)LSI 3202によりTTL形式の映像信号に変換する。変換後の映像信号はFPGAもしくはLSI 3205に供給する。ここでFPGA搭載時には、予めFPGA論理データ設定コネクタ 3203を介してFPGA論理データ設定ROM 3204に設定しておいた論理情報を、起動と同時に前記FPGA 3205に読み込む。LSI搭載時にはLSI 3205には予め論理回路が内蔵されているため、前記FPGA論理データ設定コネクタ 3203及び、FPGA論理データ設定ROM 3204は不要となる(以下、本実施例ではLSIを例に説明する)。前記LSI 3205の有する各種機能は動作モード設定SW 3206の設定により制御する。前記LSI 3205は外部にフレ

ームメモリ 3207の接続を可能とする。このフレームメモリ 3207を用いることで入出力非同期な映像処理を可能とする。この場合、出力側（液晶表示側）映像処理には発振器 3208による独自クロックを利用することも可能である。前記LSI 3205からは2系統の映像データ出力形式を有する。第1の系統は液晶パネル 3101に出力し、内蔵するドライバーICを直接駆動するものである。この場合、前記LSI 3205からの映像出力は、ドレイン信号用コネクタ3211を介して液晶パネル 3101に出力する。同時に前記LSI 3205はゲート信号をゲート信号用コネクタ 3210を介して液晶パネル 3101に出力する。この際、前記ドレイン信号用コネクタ 3211を介して出力される映像出力に対応する階調データと表示輝度の関係であるV-B特性は、階調電圧制御用コンパレータ 3209と、これに付随する抵抗値により決まる。また、液晶を交流駆動するための基準電圧となるコモン電圧は、コモン電圧調整VR 3212により調整する。第2の系統は、前記LSI 3205より出力する映像データを、映像データ変換（TTL→低電圧差動）LSI 2 3213によって変換し、映像信号出力コネクタ部 3214を介して出力するものである。2つの映像信号形式において、第2の系統を搭載せず、第1の系統のみで表示可能なことは明白である。また、前記LSI 3205はD/Aコンバータ 3215を制御し、D/Aコンバータ 3215の出力をインバータ制御コネクタ部 3216を介して前記インバータ基板 3103に与え、ランプの明るさ制御を行う。電源回路 3217は本TCON基板 102内部で必要な電源電圧の生成を行い、一例として+5Vの電圧を入力とし、DC-DCコンバータにより、-4V、+2.5V、+3.3V、+5V、+15V、+20Vの電源電圧を各々生成するものである。

【0108】図33は本発明によるTCON基板に搭載するLSIの内部機能概略構成図である。

【0109】図33において、3301は低電圧差動デジタル映像信号、3302は前記映像データ変換（低電圧差動→TTL）LSI 1 3202によりTTL形式に変換したデジタル映像信号、3303は前記デジタル映像信号を前記LSI 3205内部の基準タイミング変換するタイミング制御部、3304は前記タイミング制御部 3303より出力されるR、G、B映像データ、3305は同じく前記タイミング制御部 3303より出力されるLSI内部の基準タイミング信号、3306はR、G、B映像データより輝度データを生成する輝度データ生成制御部、3307は前記輝度データ生成制御部 3306より出力される輝度データ、3308は前記輝度データ 3307を入力して1画面中の輝度分布状態を検出する輝度分布検出制御部、3309は前記輝度分布検出制御部 3308より出力される輝度分布データ、3310は前記R、G、B映像データ 3304、輝度分布データ 3309を入力として出力階調特性制御を行う折線ポイント階調制御部、3311は前記折線ポイント階調制御部 3310より出力

される出力階調データ、3312は前記フレームメモリ 3207を制御するフレームメモリ制御部、3313は前記フレームメモリ制御部 3312により制御されるフレームメモリ・インターフェース信号、3314は前記フレームメモリ 3207から読み出したフレームメモリ・リードデータ、3315は前記出力階調データ 3311及び、フレームメモリ・リードデータ 3314の比較結果に従って前記出力階調データ 3311の補正値を制御するオーバードライブ制御部、3316は前記オーバードライブ制御部 3315より出力される補正後の出力階調データ、3317は前記補正後の出力階調データ 3316より擬似的に階調数を増加させるFRC制御部、3318は前記FRC制御部 3317より出力される擬似階調表示データ、3319は液晶モジュール 3101内のドライバーICを直接駆動するためのドライバー・インターフェース制御部、3320は前記ドライバー・インターフェース制御部 3319より出力されるゲートドライバー制御信号、3321は同じく前記ドライバー・インターフェース制御部 3319より出力されるドレインドライバー制御信号、3322は前記映像データ変換（TTL→低電圧差動）LSI 2 3213より出力される低電圧差動映像信号、3323は前記輝度分布データ 3309を基準にバックライトの明るさを制御するバックライト調光制御部、3324は同じく前記輝度分布データ 3309及び、前記LSI内部の基準タイミング信号 3305を基準にバックライトの点灯、非点灯期間を制御するブリンク制御部、3325は前記バックライト調光制御部 3323より出力されるデジタル・バックライト調光信号、3326は前記ブリンク制御部 3324より出力されるバックライトON/OFF信号、3327は前記D/Aコンバータ 3215より出力されるアナログ・バックライト調光信号、3328は前記インバータ制御コネクタ部 3216を介して前記インバータ基板に出力されるインバータ制御信号を各々示す。

【0110】まず、低電圧差動デジタル映像信号 3301をTTL形式に変換したデジタル映像信号 3302はタイミング制御部 3303に入力され、遅延調整されたR、G、B映像データ 3304及び、LSI 3205内部の基準となる基準タイミング信号 3305を出力する。出力された前記R、G、B映像データ 3304は輝度データ生成制御部 3306及び、折線ポイント階調制御部 3310に入力する。輝度データ生成制御部 3306では入力された前記R、G、B映像データ 3304より輝度データ 3307を生成出力する。この輝度データは次段の輝度分布検出制御部 3308に入力され、ここでは1フレーム分の輝度データを累積した輝度分布データ 3309を出力する。輝度分布データ 3309は前記折線ポイント階調制御部 3310及び、バックライト調光制御部 3323に出力する。バックライト調光制御部 3323では、この輝度分布情報よりフレーム毎の映像データの特徴を判断し、良好な表示を得るためのデジタル・バックライト調光信号 3325を出力する。この調光信号 3325はD/Aコンバータ 3215に入力され

アナログ・バックライト調光信号327に交換され、インバータ制御コネクタ部3216に出力される。一方、バックライトのON/OFF制御は前記基準タイミング信号3305をブリンク制御部3324が取り込んで、1フレーム期間中の点灯期間及び、非点灯期間を制御して、バックライトON/OFF信号3326として前記インバータ制御コネクタ部3216に出力する。前記インバータ制御コネクタ部3216からは前記アナログ・バックライト調光信号3327及び、バックライトON/OFF信号3326を独立に前記インバータ制御基板3103へ出力する。一方、映像データ処理は、前記R、G、B映像データ3304及び、輝度分布データ3309を前記折線ポイント階調制御部3310に入力する。折線ポイント階調制御部3310では前記輝度分布データ3309よりバックライト制御同様、フレーム毎の映像データの特徴を判断し、良好な表示を得るための階調特性（V-B特性）設定をフレーム毎に行う。階調制御された出力階調データ3311は、オーバードライブ制御部3315に入力されると共に、フレームメモリ制御部3312を介して前記フレームメモリ3207にフレームメモリ・インターフェース信号3313として書き込まれる。前記フレームメモリ3207に保持された階調データは、同じくフレームメモリ制御部3312により読み出され、フレームメモリ・リードデータ3314として前記オーバードライブ制御部3315に入力する。ここで前記出力階調データ3311は、前記フレームメモリ・リ

ードデータ3314に対し1フレーム後の階調データとなる。前記オーバードライブ制御部3315では、これら隣接するフレーム間の階調データの差分を検出し、この差分から映像データの動き量を判断する。この動き量から応答速度や、輝度に最適な映像データ補正値を毎フレーム求め、前記出力階調データ3311に対し補正を行う。これにより出力された補正後の出力階調データ3316はFRC制御部3317に入力される。FRC制御部では、階調数の少ない液晶パネルにおいて擬似的に多階調表示を行うための擬似階調表示データ3318を生成する。擬似階調表示データ3318は、前記基準タイミング信号3305と共にドライバ・インターフェース制御部3319に入力され、ゲートドライバ制御信号3320及び、ドレインドライバ制御信号3321に変換後、前記ゲート信号用コネクタ3210及び、ドレイン信号用コネクタ3211を介して前記液晶パネル3101に出力される。また、前記擬似階調表示データ3318は第2の系統として直接LSI3205より出力され、前記映像データ変換（TTL→低電圧差動）LSI23213を介して低電圧差動映像信号3322として出力される。ここで、前記図31に示す構成で表示可能な液晶モジュールを実現する場合には、前記第2の系統は不要である。

【0111】

【表1】

表1

SW NO.	機 能	設定条件
SW1	1 調光制御ON/OFF設定	1=ON, 0=OFF
	2 オーバードライブON/OFF設定	1=ON, 0=OFF
	3 FRC ON/OFF設定	1=ON, 0=OFF
	4 ブリンクON/OFF	0=ON, 1=OFF
SW2	1 ブリンク・デューティ設定	0=50%, 1=60%
	2 ブリンク位相[0]設定	ブリンク位相[2:0]=0° ~ 360° 遅延設定 均等割付(1ステップ=45° 遅延)
	3 ブリンク位相[1]設定	
SW3	4 ブリンク位相[2]設定	4um品 Super TFTパネル 特性設定[3:0]=[0, 1, 1, 0]
	1 オーバードライブ特性設定[0]	
	2 オーバードライブ特性設定[1]	
	3 オーバードライブ特性設定[2]	
	4 オーバードライブ特性設定[3]	

【0112】表1は前記動作モード設定SW3206による前記図33に示すLSI3205に搭載する各種機能設定一覧の一例を示す。本例では前記バックライト制御部3323、オーバードライブ制御部3315、FRC制御部3317、ブリンク制御部3324各機能の有効/無効設定、前期ブリンク制御部3324有効時の1フレーム内点灯期間の比率設定、同じく点灯期間の1フレーム内に

おける位相設定及び、前記オーバードライブ制御部3315の液晶パネル毎に合わせた最適オーバードライブ特性設定について示したものである。このように前記LSI3205に搭載した各種機能は、各々独立に設定可能としたものである。

【0113】

【表2】

表2

TTL映像信号		LVDS映像信号	
信号名	機能	信号名	機能
R[7:0]	赤色8bit映像信号	Y0+/Y0-	低電圧差動チャネル0
G[7:0]	緑色8bit映像信号	Y1+/Y1-	低電圧差動チャネル1
B[7:0]	青色8bit映像信号	Y2+/Y2-	低電圧差動チャネル2
DTMG	映像有効信号	Y3+/Y3-	低電圧差動チャネル3
VSYNC	垂直同期信号	CLK+/CLK-	低電圧差動チャネルCLK
HSYNC	水平同期信号		

【0114】表2に前記映像データ変換（低電圧差動→TTL）LSI 3202及び、映像データ変換（TTL→低電圧差動）LSI 23213の入出力信号仕様を示す。映像データ変換（低電圧差動→TTL）LSI 202では入力がLVDS映像信号、出力がTTL映像信号となり、映像データ変換（TTL→低電圧差動）LSI 23213ではその逆となる。TTL映像信号はR、G、B各8ビット、有効表示期間信号、垂直同期信号、水平同期信号で構成する。LVDS映像信号は5対の低電圧差動信号で構成する。

【0115】図34に前記表2に示した信号仕様に対するタイミング図を示す。

【0116】図34において、クロックは単独で一对の低電圧差動信号(Y3+/Y3-)を構成し、その動作周波数は入力クロック(CLKIN)と同じである。その他4対の低電圧差動信号(Y0+/Y0-~Y3+/Y3-)は前記入力クロック(CLKIN)周波数を7通倍で駆動し、TTL映像信号はR、G、B各8ビット、有効表示期間信号、垂直同期信号及び、水平同期信号を転送する。なお、前記映像データ変換（低電圧差動→TTL）LSI 3202としては、TI製“SN75LVDS84”、Thine製“THC63LVDF84”などが使用可能であり、映像データ変換（TTL→低電圧差動）LSI 23213としては同じく、TI製“SN75LVDS83”、Thine製“THC63LVDF83”などが使用可能である。

【0117】図35に前記フレームメモリ 3207に対する前記フレームメモリ制御部 3312の動作概略タイミング図を示す。フレームメモリとしては液晶パネルの解像度をXGAサイズとした場合、16Mビット品のSDRAMを用いることが可能である。16Mビット品のSDRAMの構成は、512k×16bit×2バンクである。従ってデータバス幅は16bitであるため、R、G、B各8bitの24bit構成とした場合、書き込み、読出し用に各々2個、合計4個のメモリを用いる。R、G、Bを5-6-5bitの16bit構成とした場合、書き込み、読出し用に各々1個、合計2個のメモリを用いる。映像データ1水平期間をスタート部、

内部、エンド部に分けコマンド制御を行う。アクセスはフルページのバーストモードを用い、コマンド設定後はクロックに同期して、画素毎の書き込み、読出し制御を連続で行う。水平スタート部はモード設定を行うMR、S、ロウアドレス・ラッチ及びバンク・セレクトを行うACTV、リードもしくはライトを設定する・READ/WRITの順にコマンドを生成する。水平内部はロウアドレス・ラッチ及びバンク・セレクトを行うACTV、リードもしくはライトを設定する・READ/WRIT、アドレスで選択されるバンクのプリチャージ処理を行うPREの順にコマンドを生成する。水平エンド部はライトもしくはリードのフルページ・バースト処理を停止するWBST/RBST、全てのバンクのプリチャージ処理を行うPALL、自動的にリフレッシュ動作を行うREFの順にコマンドを生成する。以上のコマンド生成により1水平期間の処理を行い、垂直方向については、表示有効期間信号が有効な期間同じ処理を繰返すことで1フレーム分の映像データ処理を行う。

【0118】

【表3】

表3

信号名称	機能概要
CL1	データ(1ライン分)ラッチ出力信号
CL2	データ取り込みクロック
STH	データ取り込みスタート信号
M	交流化信号
FLM	シフトデータ取り込み信号
CL3	データシフトクロック

【0119】表3に前記ゲートドライバ制御信号 3320、ドレインドライバ制御信号 3321の機能一覧を示す。ゲートドライバ制御信号 3320としてシフトデータ取り込み信号(FLM)及び、データシフトクロック(CL3)、ドレインドライバ制御信号321として、データ(1ライン分)ラッチ及び出力信号(CL1)、データ取り込みクロック(CL2)、データ取り込みスタート信号(STH)及び、交流化信号(M)を各々有する。

【0120】

* * 【表4】

表4

項目	記号	設定値	単位	備考
データレイ	tDATA	5	TPIC	
STHレイ	tSTH	5	TPIC	
トレン出力タイミング	tGL1	1040	TPIC	
CL1パルス幅	tCL1W	80	TPIC	
セットアップ	tM	8	TPIC	
FLMレイ	tF	4	TPIC	
データ遅延	tCD	949,857.767,663	TPJD	1.4us,2.8us,4.2us,5.8us

【0121】表4及び、図36に前記表3に示したドライバー・インターフェース・タイミング設定仕様の一例を示す。各インターフェース信号は、LSI 3205内部の基準信号であるドットクロック(CK)、水平スタートパルス(HCLK)及び、水平表示有効期間間信号(HDTMG)より生成する。

【0122】

【表5】

表5

信号名称	機能概要
DACLK	D/Aコンバータ制御クロック
DACSN	D/Aコンバータ制御チップセレクト信号
DADATA	D/Aコンバータ入力デジタルデータ

20

※【0123】表5に前記デジタル・バックライト調光信号 3325の機能一覧を示す。デジタル・バックライト調光信号 3325はD/Aコンバータ制御クロック(DACLK)、D/Aコンバータ制御チップセレクト信号(DACSN)及び、D/Aコンバータ入力デジタルデータ(DADATA)を有する。この機能に合致したD/Aコンバータとして例えば、AD5300(アナログ・デバイス製)などが適用可能である。

【0124】

【表6】

※
表6

信号名称	機能概要	設定値
D[15]~D[14]	D'ont care	all"0"
D[13]~D[12]	Mode set	all"0"
D[11]~D[04]	Set data	フレーム毎更新
D[03]~D[00]	D'ont care	all"0"

【0125】表6及び、図37に前記AD5300(アナログ・デバイス製)に適合したデジタル・バックライト調光信号タイミング仕様の一例を示す。D/Aコンバータ入力デジタルデータ(DADATA)は直列に転送し、先頭2ビット(D[15]~D[14])は不定、続く2ビット(D[13]~D[12])はモード設定、続く8ビット(D[11]~D[04])はデータ、残る4ビット(D[03]~D[00])は不定を意味する。ここで、(D[13]~D[12])のモード設定はノーマル動作の設定である“a110”、8ビット(D[11]~D[04])のデータは前記図33において、輝度分布データ 3309に従ったバックライト調光制御部3323からのデジタル・バックライト調光信号 325である。

【0126】以上、図31から図37及び、表1から表6に示すように、本発明による液晶表示装置の制御回路は、機能の主を成すLSI、フレームメモリ、低電圧差動転送LSI、D/Aコンバータにより構成する。

【0127】以下、前記LSI 205に搭載した本発明の主目的である入力映像データに合わせた階調制御及び、バックライト制御機能について詳細に説明する。

【0128】図38は前記輝度データ生成制御部 3306の動作概念図を示す。

【0129】図38において、R、G、B映像データから輝度データ(Y)を生成する場合の各色の割合は下式(数1)である。

【0130】

【数1】輝度データ(Y) = 0.299×R(赤) + 0.587×G(緑) + 0.144×B(青)

これをハードウェアで正確に処理することは回路規模の増大、処理速度低下などにより困難である。また、ここで生成された輝度データは、それ自身が表示データとなるものではなく、表示データの特性を得るためのものであることを考慮し、ハードウェアで実現可能なように近似処理を行う。画素単位での処理が必要なため、シフトと加算処理によりこれを実現することにした。図38では、R、G、Bが各々8ビットのデジタル映像データであるとし、R色は各々2ビットと5ビット右方向にシフト(右方向に1ビットシフトすることで2での除算となり、nビットシフトすることで、2のn乗の除算とな

50

る)し、G色は各々1ビットと4ビット右方向にシフトし、B色は3ビットシフトし、各シフトデータを全て足し合わせることで上式(数1)に対する下記近似処理を可能とする。

【0131】

【数2】輝度データ(Y) = 0.281 × R (赤) + 0.563 × G (緑) + 0.125 × B (青)

図39は前記輝度分布検出制御部308の概略構成図を示す。図39において、3901は1回の検出期間を設定する検出期間設定部、3902は入力全階調領域の分割数を設定する入力階調分割数設定部、3903は入力映像データが前記入力階調分割数設定部3902で設定した各分割領域のいずれに該当するかを検出する入力映像データ階調領域検出部、3904は階調の最も低い領域のデータをカウントする第1階調領域カウンタ、3905は同じく2番目に低い領域のデータをカウントする第2階調領域カウンタ、3906は同じく最も高い領域のデータをカウントする第n階調領域カウンタ、3907は1回の検出期間において階調の最も低い領域のデータ総数を保持する第1データホールドラッチ、3908は同じく2番目の領域のデータ総数を保持する第2データホールドラッチ、3909は同じく最も高い領域のデータ総数を保持する第nデータホールドラッチ、3910は前記第1階調領域カウンタ3904のカウント値をm倍するm倍乗算回路、3911は同じく前記第2階調領域カウンタ3905のカウント値を2 × m倍する2 × m倍乗算回路、3912は同じく前記第n階調領域カウンタ3906のカウント値をn × m倍するn × m倍乗算回路、3913は前記各乗算回路の出力データを加算する加算回路、3914は前記加算回路3913の出力をn × mで除算するn × m除算回路、3915は前記除算回路3914の出力を平均輝度値として保持する平均輝度データ・ホールドラッチを各々示す。

【0132】まず、検出期間設定部3901に1回の検出期間を設定する。本設定部の出力は各検出機能部の最終段データ・ホールドラッチ用のラッチクロックとなる。また、入力階調分割数設定部3902に入力全領域に対する分割数を設定する。ここでは一例として入力全領域を256階調(8ビット)、分割数を8分割に設定するものとする。本設定部からの出力は入力映像データ階調領域検出部3903に入力する。ここでは入力映像データの階調値が、前記入力階調分割数設定部3902からの分割領域のいずれに該当するかを判断し、その領域に対応する領域カウンタ用クロックを出力する。ここで、各領域の階調範囲は入力全階調領域が256階調、分割数が8であることより32階調毎の領域となる。従って、入力映像信号の特性検出精度を向上するためには、分割数を大きくし、各分割領域の階調数を少なくすればいいが、精度を向上することは回路の増大にもなるので、用途によって精度を変更できるようにした。前記入力映像データ階調領域検出部3903からのクロックにより第1階調領域

カウンタ3904、第2階調領域カウンタ3905及び、第n階調領域カウンタ3906で各階調領域毎のデータ数をカウントし、前記検出期間設定部3901による設定期間の間、第1データ・ホールドラッチ3907、第2データ・ホールドラッチ3908及び、第nデータ・ホールドラッチ3909で輝度分布データとして保持することで輝度分布の検出を行う。輝度平均値の検出は、前記第1階調領域カウンタ3904、第2階調領域カウンタ3905及び、第n階調領域カウンタ3906の各出力を各々、m倍乗算回路3910、2 × m倍乗算回路3911、n × m倍乗算回路3912で乗算し、各出力を加算回路3913で加算、その出力をn × m除算回路3914で除算し、その出力を前記検出期間設定部3901による設定期間の間、平均輝度データ・ホールドラッチ3915で平均輝度データとして保持することで平均輝度の検出を行う。ここでmは各分割領域内の階調数を意味し、本例では32となる。従って、各乗算回路3910-3912及び、加算回路3913を16ビット構成とすれば、除算回路3914は $n \times m = 8 \times 32 = 256$ での除算となり、これは右方向8ビットのシフト処理(上位8ビットを選択)という簡易論理で実現できる。

【0133】図40に前記図39に示す輝度分布検出制御部概略構成図中の輝度分布検出部の動作を示す状態遷移図で示す。図40では前記図39での説明の一例として用いた入力全領域を256階調(8ビット)、分割数を8分割に設定及び、入力映像データの解像度としてXGA(1024ドット × 768ライン)とした場合について示す。

【0134】図40において、検出期間設定部3901は垂直同期信号(inVsync)及び、表示有効期間信号(inDtmg)より構成され、有効な表示データは表示有効期間信号(inDtmg)が有効時のもと、輝度分布結果は1フレーム毎に更新するため垂直同期信号(inVsync)のタイミングで更新する。各領域の輝度データ数を累積するカウンタ(elementCntr)は分割領域が8分割であるため8個用意し(elementCntr00~elementCntr07)、8ビット階調データの上位3ビットをデコードした結果に対応したカウンタの値を加算する。累積した1フレーム分の輝度分布結果は、垂直同期信号(inVsync)のタイミングで更新する(hist00~hist07)。ここで各カウンタの規模は同一階調データが1フレーム分存在することを想定したものにする必要がある。すなわち本例ではXGA解像度であるため $1024 \times 768 = 786432$ 画素、すなわち20ビットのカウンタが必要となる。

【0135】図41に前記図39、図40による輝度分布検出制御部による輝度分布検出結果概略図及び、検出結果からの輝度平均値算出演算式を示す。

【0136】図41に示すように、輝度分布状態により映像データのフレーム毎濃淡状態また、輝度平均値によりフレーム毎の画面明るさを抽出することができる。

【0137】図42に前記図40に示した入力全領域を

256階調(8ビット)、分割数を8分割に設定した状態遷移図の別な一例として、入力全領域を256階調(8ビット)、分割数を20分割に設定し、下位側及び、上位側各8分割領域の階調領域は8階調毎の分割、中間階調の4分割領域は32階調毎の分割に設定した際の状態遷移図を示す。

【0138】図42において、各領域の輝度データ数を累積するカウンタ(elemCntr)は分割領域が20分割であるため20個用意し(elemCntr00~elemCntr19)、下位側及び、上位側各8分割領域の階調領域は、8ビット階調データの上位5ビットをデコードした結果に対応したカウンタの値を加算する(elemCntr00~elemCntr07、elemCntr12~elemCntr19)。中間階調の4分割領域は、8ビット階調データの上位3ビットをデコードした結果に対応したカウンタの値を加算する(elemCntr08~elemCntr11)。その他の制御については、前記図40に示した8分割領域の場合と同様に、累積した1フレーム分の輝度分布結果は、垂直同期信号(inVsync)のタイミングで更新する(hist00~hist19)。また、各カウンタの規模は前記同様、同一階調データが1フレーム分存在することを想定したものにする必要がある。すなわち本例ではXGA解像度であるため1024×768=786432画素、すなわち20ビットのカウンタが必要となる。

【0139】図43に前記図42による階調分割制御を行った場合の輝度分布検出結果概略図及び、検出結果からの輝度平均値算出演算式を示す。

【0140】図43に示すように、前記図41に示した8分割した場合に比べ、輝度分布状態において下位及び、上位階調部分の分布状態をより詳細に検出することができる。また、輝度平均値については前記図41に示した8分割した場合同様フレーム毎の画面明るさを抽出することができる。

【0141】図44に前記図40及び図42に示した階調領域を8分割した際の輝度分布検出結果を用いた前記折線ポイント階調制御部3310による階調制御の一例を示す。

【0142】図44において、折線ポイント方式による階調制御では、9箇所の折れ線ポイントをフレーム毎に設定し、隣接ポイント間は直線化した演算式に従って、ドットクロック毎に入力される入力階調データを出力階調データに変換することでリアルタイムに実現する。ここで隣接ポイント間の直線化演算式は均等な8分割領域の場合、下記数3の演算式を用いることができる。

【0143】

【数3】出力階調データ=(rkinji(n)-rkinji(n-1))×M/32

rkinji(n):上位側折線ポイント設定値

rkinji(n-1):下位側折線ポイント設定値

M:入力階調データ下位5ビット

従って、前記図41に示す輝度分布データを反映させて

高画質化する例として、各領域の輝度分布累積数に対応して、折線ポイントを設定する。従って、1フレーム内の輝度分布数平均値m(本例の場合、1フレーム分の画素数を分割領域数8で除算した値)に対し、検出した各領域の分布数が多い場合にはその階調領域の分布は平均値以上であると判断し、上位側折線ポイントをリニア特性時(図中○のポイント)に比べ大きくする。これにより、その階調領域のダイナミックレンジが大きくなり良好な画質を得ることができる。逆に平均値mに対し、検出した各領域の分布数が少ない場合にはその階調領域の分布は平均値以下であると判断し、上位側折線ポイントをリニア特性時(図中○のポイント)に比べ小さくする。これによりその階調領域のダイナミックレンジは小さくなるが、これにより前記平均値mを上回った階調領域のダイナミックレンジを大きくできるため、画面全体としては分布の大勢を占める領域のコントラストを向上し、良好な画質を得ることができる。

【0144】図45に前記図44に示した階調領域を8分割化した際の輝度分布検出結果を用いた前記折線ポイント階調制御部3310による階調制御部概略構成図を示す。

【0145】4501は入力映像データのラッチ回路1、4502はラッチ回路14501の出力映像データの上位3ビットによる1to8デコーダ回路、1503は上位階調側折線ポイント設定レジスタ・セレクト回路、4504は下位階調側折線ポイント設定レジスタ・セレクト回路、4505は前記上位階調側折線ポイント設定レジスタ・セレクト回路4503選択値から、下位階調側折線ポイント設定レジスタ・セレクト回路4504選択値を減算する減算回路、4506は前記減算回路4505の出力結果と前記ラッチ回路14501の出力をラッチ回路2~54508~4511を用いて遅延した値を乗算する乗算回路、4507は前記乗算回路4506の出力結果と、前記下位階調側折線ポイント設定レジスタ・セレクト回路4504の出力をラッチ回路6、74512、4513を用いて遅延した値を加算する加算回路を各々示す。

【0146】図45に示す制御回路は前記図44に示す各折線ポイント間の直線式を実現するものであり、前記上位階調側折線ポイント設定レジスタ・セレクト回路4503及び、下位階調側折線ポイント設定レジスタ・セレクト回路4504には、輝度分布状態に対応した折線ポイント設定値(rkinji00~rkinji08)を毎フレーム更新しながら設定する。従って、画素毎の映像データ(ridata[7:0])が入力されると、隣接する2つの折線ポイント設定値を選択し、選択した2つの階調間を演算して映像データ(roddata[7:0])を出力する。入力映像データ(ridata[7:0])が与えられてから、出力映像データ(roddata[7:0])を得るまでの遅延は8クロックである。従って本制御によれば、フレーム毎の映像データの特徴に合わせて最適は階調制御を行うことを可能としている。

【0147】図46に前記図43に示した階調領域を20分割化した際の輝度分布検出結果を用いた前記折線ポイント階調制御部3310による階調制御の一例を示す。

【0148】図46において、折線ポイント方式による階調制御では、20箇所の折れ線ポイントをフレーム毎に設定し、隣接ポイント間は直線化した演算式に従って、ドットクロック毎に入力される入力階調データを出力階調データに変換することでリアルタイムに実現する。ここで隣接ポイント間の直線化演算式は均等な下位及び、上位階調部分である8階調毎分割領域(hist00-hist08、hist12-hist19)の場合と、中間階調部分である32階調毎分割領域(hist08-hist11)の場合で異なり、各々下記数4、数5の演算式を用いることができる。

【0149】

【数4】出力階調データ = $(rkinji(n) - rkinji(n-1)) \times M / 8$

$rkinji(n)$: 上位側折線ポイント設定値

$rkinji(n-1)$: 下位側折線ポイント設定値

M : 入力階調データ下位3ビット

【0150】

【数5】出力階調データ = $(rkinji(n) - rkinji(n-1)) \times M / 32$

$rkinji(n)$: 上位側折線ポイント設定値

$rkinji(n-1)$: 下位側折線ポイント設定値

M : 入力階調データ下位5ビット

従って、前記図43に示す輝度分布データを反映させて高画質化する例として、2段階の制御を施すことで実現することができる。第1段階は8階調毎に分割した下位及び、上位階調領域に対し、各々外側の領域(下位階調であればhist00、上位階調であればhist19)、よりフレーム毎の使用頻度を確し、潰せる階調領域を求める。すなわち、予め設定しておいた階調累積数の閾値と各階調領域の外側より累積値を比較し、閾値を越えた領域までの階調を潰すようにする。図46では下位階調領域はhist04が閾値nを越えているため、これ以前の階調は分布頻度が少ないと判断し、下位から5箇の折線ポイント(rkinji00-rkinji04)を“0階調”に設定する。同様に、上位階調領域はhist17が閾値nを越えているため、これ以前の階調は分布頻度が少ないと判断し、上位から4箇の折線ポイント(rkinji17-rkinji20)を“255階調”に設定する。この第1段階の階調制御により階調両端の累積数の少ない部分を潰す代わりに、残りの階調領域のダイナミックレンジを拡大することが可能である。また、潰す階調領域の判断基準として本例では各階調領域独立に閾値nとの比較を行ったが、両端の階調領域からの累積と閾値nとの比較というように、階調を潰すアルゴリズムはソフトウェア処理との組合せにより多種多様に対応可能である。第2段階は、第1段階で全階調領域のダイナミックレンジを拡大したのに加え、前記図44で述べた分布領域毎に輝度分布平均値mとの比較を行

い、比較結果が大きい場合にはその階調領域のダイナミックレンジがさらに拡大するよう上位側の折線ポイント設定値をリニア特性時の値(図中○のポイント)より大きな値、また、比較結果が小さい場合にはその階調領域のダイナミックレンジが縮小するようリニア特性時の値より小さな値を設定するようにする。図46はこれを中間階調領域である32階調分割領域(rkinji09-rkinji12)に適用した一例である。図46では第1段階によるダイナミックレンジの拡大制御領域をヒストグラム伸長制御領域、第2段階によるダイナミックレンジの拡大制御領域をイコライズ制御領域として示してある。

【0151】また、題段階によるダイナミックレンジの拡大適用範囲は、中間階調領域である32階調分割領域(rkinji09-rkinji12)に限らず、下位、上位階調領域である8階調分割領域に適用しても良い(図46では(rkinji04-rkinji17))。

【0152】以上、前記図46に示した階調制御方式では、前記図44に示した階調制御方式をカバーした上で更にダイナミックレンジを拡張した良好な表示を得ることができる。

【0153】図47は前記図46に示した階調領域を20分割化した際の輝度分布検出結果を用いた前記折線ポイント階調制御部3310による階調制御部概略構成図を示す。

【0154】4701は入力映像データのラッチ回路1、4702はラッチ回路1 4701の出力映像データの内上位3ビットによる1 to 8デコーダ回路、4703は下位階調、中間階調、上位階調の各分割領域に対する上位階調側折線ポイント設定レジスタ・セレクト回路、4704は下位階調、中間階調、上位階調の各分割領域に対する下位階調側折線ポイント設定レジスタ・セレクト回路、4705は前記3つの領域に分かれた下位階調、中間階調、上位階調の各分割領域に対する上位階調側折線ポイント設定レジスタ・セレクト回路 1703出力のうち1つを選択する3 to 1セレクト回路、4706は同じく前記3つの領域に分かれた下位階調、中間階調、上位階調の各分割領域に対する下位階調側折線ポイント設定レジスタ・セレクト回路 4704出力のうち1つを選択する3 to 1セレクト回路、4707は前記上位階調側3 to 1セレクト回路 4705選択値から、下位階調側3 to 1セレクト回路 4706選択値を減算する減算回路、4708は前記減算回路 4707の出力結果と前記ラッチ回路1 4701の出力をラッチ回路2~6 4711~4714を用いて遅延した値を乗算する下位、上位階調と中間階調の2系統に分かれた乗算回路、4709は前記2系統の乗算回路4708の出力結果のいずれかを選択する2 to 1セレクト回路、4710は前記2 to 1セレクト回路 4709の出力と、前記下位階調側3 to 1セレクト回路 4706の出力をラッチ回路7~9 4716~4718を用いて遅延した値を加算する加算回路を各々示す。

【0155】図47に示す制御回路は前記図45に示す

制御回路同様、前記図46に示す各折線ポイント間の直線式を実現するものであり、前記上位階調側折線ポイント設定レジスタ・セクタ回路4703及び、下位階調側折線ポイント設定レジスタ・セクタ回路4704には、輝度分布状態に対応した折線ポイント設定値(rkinji00～rkinji20)を毎フレーム更新しながら設定する。従って、画素毎の映像データ(ridata[7:0])が入力されると、隣接する2つの折線ポイント設定値を選択し、選択した2つの階調間を演算して映像データ(odata[7:0])を出力する。入力映像データ(ridata[7:0])が与えられてから、出力映像データ(odata[7:0])を得るまでの遅延は10クロックである。従って本制御においても、フレーム毎の映像データの特徴に合わせて最適は階調制御を行うことを可能としている。

【0156】次に、前記図33に示したデジタル・バックライト調光信号3325及び、バックライトON/OFF信号3326制御による輝度制御及び、動画ぼけ改善制御について説明する。

【0157】図48は前記インバータ基板103における調光特性図の一例である。入力として電圧を0V～3.3Vまで可変し、これに対応して出力パルスのデューティ比が変化するものである。すなわち入力電圧が低い程パルス幅デューティ比は大きくなり、逆に入力電圧が高い程パルス幅デューティ比は小さくなる。このデューティ比はバックライトのON/OFFに対応しているため、電圧レベルが低い程明るく、逆に電圧レベルが高い程暗くなる。従って、前記バックライト調光制御部3323からのデジタル・バックライト調光信号3325を前記表5、6及び図37に示した形式で制御し、前記D/Aコンバータ3215に与えることで、D/Aコンバータ3215から出力されるアナログ・バックライト調光信号3327により、前記図48に示したインバータ基板の特性で調光制御を行う。

【0158】図49に前記バックライト調光制御部3323及び、プリント制御部3324による輝度制御及び、動画ぼけ改善制御の一例を示す。本例では調光制御と、プリント制御を独立した制御信号で行う場合について示したものである。

【0159】図49では、連続する各フレーム映像データは前記輝度分布検出制御部3308からの輝度分布データが、明るい映像→明るい映像→暗い映像の順に転送される場合である。

【0160】一般に液晶表示装置で動画を表示する場合、明るい映像であれば1フレームを越える応答速度に伴う動画ぼけ現象は、暗い映像の場合に比べ気にならなくなる。逆に明るい映像に対し動画ぼけを考慮してプリント・パルス幅を小さくすることで、暗い映像となることが主観的には気になるものである。従って、明るい映像に対しては前記アナログ・バックライト調光信号3327の電圧レベルを低くして、バックライトに対する調光

波形のパルス幅デューティ比を大きくする。逆に暗い映像に対しては、前記アナログ・バックライト調光信号3327の電圧レベルを高くして、バックライトに対する調光波形のパルス幅デューティ比を小さくする。また、本制御は輝度分布データを検出した次のフレームに対し反映させる。図49では輝度分布検出データと、調光波形の関係がこれを示す。さらに、応答速度に1フレーム以上の時間を要することによる動画ぼけ現象を改善するためにプリント制御を行う。図49では、表示画面の下画面部分に照準を合わせ、1フレームの後半にプリント波形がONするように制御する。すなわち、図49において1フレーム期間に要する時間を“a”とし、1フレームの後半にプリント波形をONする時間を“b”とした際のプリント波形デューティ比は“b:a”となり、この比は固定とする。本制御には前記図33のプリント制御部3324において、タイミング制御部3303からの垂直基準タイミング信号3305を用いて制御する。実際のバックライトON/OFF波形は、前記調光制御のための調光波形と、動画ぼけ改善制御のためのプリント波形を合わせた波形となり、これによる液晶輝度波形は図49の斜線部分になる。これより、輝度分布検出データが明るい映像と判断した場合には、輝度波形の発光時間は長くなり（逆に、輝度分布検出データが暗い映像と判断した場合には、輝度波形の発光時間は短くなり）かつ、液晶応答波形の定常タイミングでの発光（過渡タイミングでは発光せず）となるため、動画ぼけのない良好な表示状態を得ることができる。

【0161】図50に前記図49に示す一例において、輝度分布検出データによる映像判定の一例を示す。図50において輝度分布検出データとしては、前記図41に示した全階調領域を均等8分割、入力映像データの解像度としてXGA(1024×768)とした場合を示す。この場合、1フレーム分の画素数は下式(数6)となる。

【0162】

【数6】1フレーム総画素数=1024ドット×768ライン=786432=C0000h

ここで回路規模を抑えるために、検出データの上位のみを用いて判定を行う。図50の場合、上位8ビットを用いる。上位8ビットは16進数で“C0h”であり、10進数では“192”となる。従って、均等に8分割した際の各領域平均ポイント数は24ポイントとなる。本例では図50に示すように映像判定条件として、e、f、g、hの各階調領域(128-159、160-191、192-223、224-255階調)のポイント数がそれぞれ、48、40、32、24ポイントのいずれかより大きい場合に明るい映像と判断し、上記以外の場合を全て暗い映像と判断するようにした。

【0163】図51に前記図50に示した映像判定条件例に従った、調光制御状態遷移図の一例を示す。

【0164】図51において調光範囲は本例の場合、最

大輝度から最大輝度に対して85%の輝度を最小輝度とした範囲で制御するものとする。この間を前記図50に示した映像判定条件に従って毎フレーム遷移する。最大輝度から最小輝度もしくは、最小輝度から最大輝度までの遷移時間は最小40フレーム(1フレーム60Hzの場合、約0.67秒)要するようにした。これは、明るい映像と暗い映像が毎フレーム交互に入力されるような場合、1フレームで最大～最小輝度間を遷移するような制御とするとフリッカーが発生するため、これを抑止するためである。従って、遷移途中で映像判定条件が反転した場合、その時点で遷移は逆方向に向かうことになる。

【0165】以上、前記図50、51で説明した調光制御アルゴリズムに従って、前記図49に示した調光波形の制御を行う。

【0166】図52に前記図49に示した前記バックライト調光制御部3323及び、ブリンク制御部3324による輝度制御及び、動画ばけ改善制御例とは別の一例を示す。

【0167】前記図49に示す一例では、最終的な液晶輝度波形は前記バックライト調光制御部3323による調光波形と、前記ブリンク制御部3324によるブリンク波形を重ね合わせたものとなっていた。これに対し本例では、前記バックライト調光制御部3323による調光波形の制御は行わず、常時最大輝度状態としておき、前記ブリンク制御部3324によって、輝度分布検出データに対応した調光制御をブリンク制御と合わせて行うものである。すなわち、前記バックライト調光制御部3323からの制御信号は、前記図48に示したインバータ基板3103における調光特性図より、常時出力パルスデューティが100%となるように制御する。次に前記ブリンク制御部3324は動画ばけの改善例として、表示画面の下画面部分に照準を合わせ、1フレームの後半にブリンク波形がONするように制御する。さらに輝度分布検出データの状態に対応して、前記ブリンク波形のパルス幅を変更する。図52の例では映像データが、“明るい映像→暗い映像→明るい映像”の順に入力されるため、明るい映像に対しては次のフレームで前記ブリンク波形のパルス幅を大きくし、暗い映像に対しては次のフレームで前記ブリンク波形のパルス幅を小さくするようにした。更に図52に示した一例ではブリンクパルス幅デューティの変更を、パルスの後縁は固定し、前縁で行うようにしたものである。従って、1フレーム期間に要する時間を“a”とし、1フレームの後半にブリンク波形をONする時間を“b”とした際のブリンク波形デューティ比は“b:a”となり、この比は輝度分布検出データに対応して変動する。また、本例によれば、前記インバータ基板3103のインターフェースとしてバックライトのON/OFF制御のみで済むため、汎用性のある制御機能であるといえる。

【0168】図53に前記図49、図52に示した前記バックライト調光制御部3323及び、ブリンク制御部3324による輝度制御及び、動画ばけ改善制御例とは別の一例を示す。

【0169】図53の例では、前記図52に示した一例に対し、輝度分布検出データに従って制御するブリンク波形に対するブリンクパルス幅デューティの変更を、パルスの前縁は固定し、後縁で行うようにしたものである。すなわち図53において、前記ブリンク制御部3324は動画ばけの改善例として、表示画面の上画面部分に照準を合わせ、1フレームの前半にブリンク波形がONするように制御する。さらに輝度分布検出データの状態に対応して、前記ブリンク波形のパルス幅を変更する。ブリンクパルス幅デューティの変更を、パルスの前縁は固定し、後縁で行うようにしたものである。従って前記図52に示した例同様、1フレーム期間に要する時間を“a”とし、1フレームの後半にブリンク波形をONする時間を“b”とした際のブリンク波形デューティ比は“b:a”となり、この比は輝度分布検出データに対応して変動する。また、本例においても、前記インバータ基板5103のインターフェースとしてバックライトのON/OFF制御のみで済むため、汎用性のある制御機能であるといえる。

【0170】図54に前記図49、図52、図53に示した前記バックライト調光制御部3323及び、ブリンク制御部3324による輝度制御及び、動画ばけ改善制御例とは別の一例を示す。

【0171】本例は、前記図52、図53に示した一例の双方を兼ね備えたものである。すなわち、図54において、前記ブリンク制御部3324は動画ばけの改善例として、表示画面の中央画面部分に照準を合わせ、1フレームの中間にブリンク波形がONするように制御する。さらに輝度分布検出データの状態に対応して、前記ブリンク波形のパルス幅を変更する。ブリンクパルス幅デューティの変更を、パルスの前縁及び、後縁の双方で行うようにしたものである。従って前記図52、図53に示した例同様、1フレーム期間に要する時間を“a”とし、1フレームの後半にブリンク波形をONする時間を“b”とした際のブリンク波形デューティ比は“b:a”となり、この比は輝度分布検出データに対応して変動する。また、本例においても、前記インバータ基板3103のインターフェースとしてバックライトのON/OFF制御のみで済むため、汎用性のある制御機能であるといえる。

【0172】図55に前記図49、図52、図53、図54に示した前記バックライト調光制御部3323及び、ブリンク制御部3324による輝度制御及び、動画ばけ改善制御例とは別の一例を示す。前記各実施例では動画ばけ改善に着眼した際に、液晶輝度波形は調光制御が加わることでブリンク波形と異なることになる。例えば、前

記図 49 に示した一例では、ブリンク波形の ON パルスの中で調光制御に伴う OFF 期間が存在することになり、前記図 52 ～ 図 54 に示した例では、動画ぼけ改善のために 1 画面中の特定位置に設定したブリンク波形の ON パルスが調光制御に伴い変更することになる。

【0173】図 55 に示す一例は、これらを改善したものであり、調光制御としてバックライトの管電流を制御するものである。すなわち、動画ぼけ改善に対しては前記図 49 に示した一例同様、表示画面の下画面部分に照準を合わせ、1 フレームの後半にブリンク波形が ON するように制御する。すなわち、図 55 において 1 フレーム期間に要する時間を“a”とし、1 フレームの後半にブリンク波形を ON する時間を“b”とした際のブリンク波形デューティ比は“b : a”となり、この比は固定とする。調光制御に関しては、輝度分布検出データに従って、明るい映像信号と判断した際には次フレームでバックライトに対する管電流量を増大することで輝度を上げ逆に、暗い映像信号と判断した際には次フレームでバックライトに対する管電流量を減少することで輝度を下げる。本制御に従えば、輝度分布検出データに従ったバックライト管電流量による調光制御が如何なる場合においても、動画ぼけ改善のためのブリンク波形は固定化できるため、表示画面の特定領域に対し常時安定した動画ぼけ改善効果を得ることができる。

【0174】本発明の実施例によれば、画像データの移動速度に応じてランプの高輝度で発光効率並びに均一性の優れた表示品質の良好な動画表示を可能とすることができる。

【0175】更に本発明の実施例によれば、画像データの階調特性に応じてリアルタイムにダイナミックレンジを変更することができ、高輝度で発光効率並びに均一性の優れた表示品質の良好な動画表示を可能とすることができる。

【0176】

【発明の効果】本発明によれば、表示画像の動き量又は輝度に応じて光源の発光時点又は発光時間を制御することにより、表示画像の輝度を効率よく向上すると共に、光源の発熱を抑制するという効果を奏する。

【0177】又は、本発明によれば、表示画像の輝度と液晶部の応答特性に応じて光源の発光時点又は発光時間を制御することにより、動画でのボケを改善するという効果を奏する。

【0178】又は、本発明によれば、表示画像の輝度に応じて入出力階調特性を制御することにより、コントラストを向上するという効果を奏する。

【図面の簡単な説明】

【図 1】本発明の液晶表示モジュールを搭載した液晶表示装置の概略構成図である。

【図 2】本発明の液晶表示装置の光源等の輝度波形を示す図である。

【図 3】サイドライト型光源ユニットを用いた液晶表示装置の構造を示す図である。

【図 4】直下型光源ユニットを用いた液晶表示装置の構造を示す図である。

【図 5】冷陰極管の管内温度及び供給電流に対する輝度特性を示す図である。

【図 6】本発明の光源ユニットによる輝度応答を示す図である。

【図 7】光源に冷陰極管を用いた液晶表示装置の表示輝度及び冷陰極管温度の経時変化を示す図である。

【図 8】本発明による光源の点滅点灯を実施する制御回路の一例を示す図である。

【図 9】本発明による光源の点滅点灯比率の設定の一例を示す図である。

【図 10】本発明による光源の点滅点灯比率の設定の一例を示す図である。

【図 11】本発明による光源の点滅点灯周期の設定の一例を示す図である。

【図 12】本発明による光源の点滅点灯における休止期間の設定の一例を示す図である。

【図 13】本発明によるサイドライト型光源ユニットの一例を示す図である。

【図 14】本発明によるサイドライト型光源ユニットを用いた液晶表示装置（横電界モード液晶表示装置）の構造を示す図である。

【図 15】図 13 の液晶表示装置に用いるインバータ装置の配置を示す図である。

【図 16】従来技術である直下型の光源ユニットの点灯動作方法を示す図である。

【図 17】本発明によるサイドライト型光源ユニットの制御回路の構成を示す図である。

【図 18】図 17 内のスイッチング制御回路 25 の一例を示す図である。

【図 19】図 18 のスイッチング制御回路 25 により生成される光源点灯信号 BL のタイミング図である。

【図 20】従来のホールド型発光と本発明のインパルス型発光の比較図である。

【図 21】本発明におけるデータ比較の検出ポイントの一例を示す図である。

【図 22】図 17 内のスイッチング制御回路 25 の一例を示す図である。

【図 23】図 22 のスイッチング制御回路 25 を説明するための表示画面の分割方式を示す図である。

【図 24】図 22 スwitchング制御回路 25 で生成される光源点灯信号 BL タイミング図である。

【図 25】本発明による直下型光源ユニットの制御回路の構成を示す図である。

【図 26】図 25 内のスイッチング制御回路 25 の一例を示す図である。

【図 27】図 26 のスイッチング制御回路 25 により生

成される光源点灯信号BL1～BL4のタイミング図である

【図28】本発明による表示画像の表示輝度に応じた光源点灯制御を実現するためのスイッチング制御回路25を示す図である。

【図29】図28のスイッチング制御回路25により生成される光源点灯信号BLのタイミング図である。

【図30】本発明による点灯方式指示回路60の構成を示す図である。

【図31】本発明の別な一例による液晶表示モジュールの概略構成図である。

【図32】本発明による液晶表示モジュール背面に実装するTCON基板の概略構成図である。

【図33】本発明によるTCON基板に搭載するLSIの内部機能概略構成図である。

【図34】本発明による映像データ変換（低電圧差動→TTL及び、TTL→低電圧差動）入出力信号仕様図である。

【図35】本発明によるフレームメモリ制御部動作概略タイミング図である。

【図36】本発明によるドライバー・インターフェース・タイミング図である。

【図37】本発明によるデジタル・バックライト調光信号タイミング図である。

【図38】本発明による輝度データ生成制御部動作概念図である。

【図39】本発明による輝度分布検出制御部概略構成図である。

【図40】本発明による輝度分布検出部の動作を示す状態遷移図である。

【図41】本発明による輝度分布検出制御部による輝度分布検出結果概略図及び、検出結果からの輝度平均値算出演算式である。

【図42】本発明による輝度分布検出部の一例である図40とは別の一例に対する動作を示す状態遷移図である。

【図43】本発明の図41に示す一例とは別の一例による輝度分布検出制御部による輝度分布検出結果概略図及び、検出結果からの輝度平均値算出演算式である。

【図44】本発明による折線ポイント階調制御部による階調制御の一例である。

【図45】本発明による折線ポイント階調制御部による階調制御部概略構成図である。

【図46】本発明の図44に示す一例とは別の一例による折線ポイント階調制御部による階調制御の一例である。

【図47】本発明の図45に示す一例とは別の一例による折線ポイント階調制御部による階調制御部概略構成図である。

【図48】本発明によるインバータ基板における調光特

性図の一例である。

【図49】本発明によるバックライト調光制御部及び、ブリンク制御部による輝度制御及び、動画ぼけ改善制御の一例である。

【図50】本発明による輝度分布検出データによる映像判定の一例である。

【図51】本発明による映像判定条件例に従った、調光制御状態遷移図の一例である。

【図52】本発明の図49に示す一例とは別の一例によるバックライト調光制御部及び、ブリンク制御部による輝度制御及び、動画ぼけ改善制御の一例である。

【図53】本発明の図49及び、図52に示す一例とは別の一例によるバックライト調光制御部及び、ブリンク制御部による輝度制御及び、動画ぼけ改善制御の一例である。

【図54】本発明の図49、図52及び、図53に示す一例とは別の一例によるバックライト調光制御部及び、ブリンク制御部による輝度制御及び、動画ぼけ改善制御の一例である。

【図55】本発明の図49、図52、図53及び、図54に示す一例とは別の一例によるバックライト調光制御部及び、ブリンク制御部による輝度制御及び、動画ぼけ改善制御の一例である。

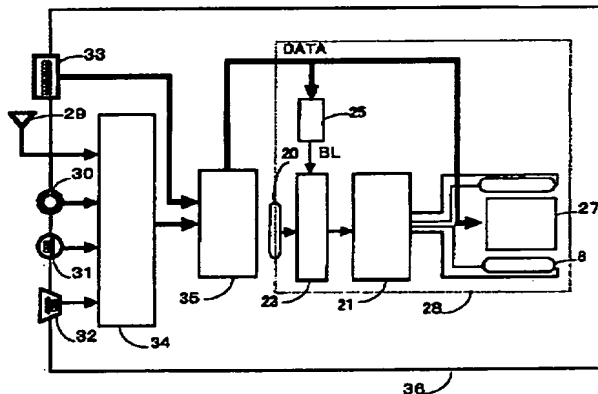
【符号の説明】

1…偏向板、2…液晶層、3…基板、4…光学シート群、5…プリズムシート、6…拡散フィルム、7…反射器、8…蛍光灯、9…反射フィルム、10…光学ユニット、11…導光板、20…直流電圧源入力端子、21…インバータ回路、22…変圧器、23…調光回路、24…スイッチング素子、25…スイッチング制御回路、27…液晶パネル、28…液晶表示モジュール、29…テレビ入力端子、30…ビデオ入力端子、31…S入力端子、32…アナログPC入力端子、33…デジタルPC入力端子、34…アナログ映像処理制御部、35…デジタル映像処理制御部、36…液晶表示装置、50…データ格納部、51…ラインカウンタ部、52…データ比較部、53…パルス制御部、54…パルス生成部、55…モード判定部、56…表示輝度検出部、57…表示輝度情報保持部、60…点灯方式指示回路、61…入力手段判定部、62…点灯選択部、63…点灯指示信号生成部、3101…液晶モジュール（28…液晶表示モジュールと同一）、3102…液晶駆動制御基板（35…デジタル映像処理制御部と同一）、3103…インバータ基板（21…インバータ回路と同一）、3104…ゲート用フラットケーブル、3105…ドレイン用フラットケーブル、3106…インバータ制御用ケーブル、3107…ランプ高圧側ケーブル、3108…ランプ低圧側ケーブル、3201…低電圧差動デジタル映像信号入力コネクタ部、3202…映像データ変換（低電圧差動→TTL）LSI、3203…FPGA論理データ設定

コネクタ、3204…FPGA論理データ設定ROM、3205…液晶パネル制御FPGAもしくはLSI（25…スイッチング制御回路、60…点灯方式指示回路は一部分）、3206…FPGA（もしくはLSI）3205の動作モード設定SW、3207…フレームメモリ、3208…発振器、3209…階調電圧制御用コンパレータ、3210…ゲート信号用コネクタ、3211…ドレイン信号用コネクタ、3212…ドレイン信号用コネクタ、3213…映像データ変換（TTL→低電圧差動）LSI2、3214…低電圧差動デジタル映像信号出力コネクタ部、3215…D/A変換コンバータ、3216…インバータ制御コネクタ部、3217…電源回路部、3301…低電圧差動デジタル映像信号、3302…TTL形式に変換したデジタル映像信号、3303…タイミング制御部、3304…R、G、B映像データ、3305…LSI内部の基準タイミング信号、3306…輝度データ生成制御部、3307…輝度データ、3308…輝度分布検出制御部、3309…輝度分布データ、3310…折線ポイント階調制御部、3311…出力階調データ、3312…フレームメモリ制御部、3313…フレームメモリ・インターフェース信号、3314…フレームメモリ・リードデータ、3315…オーバードライブ制御部、3316…オーバードライブ補正後の出力階調データ、3317…FRC制御部、3318…擬似階調表示データ、3319…ドライバー・インターフェース制御部、3320…ゲートドライバー制御信号、3321…ドレインドライバー制御信号、3322…

【図1】

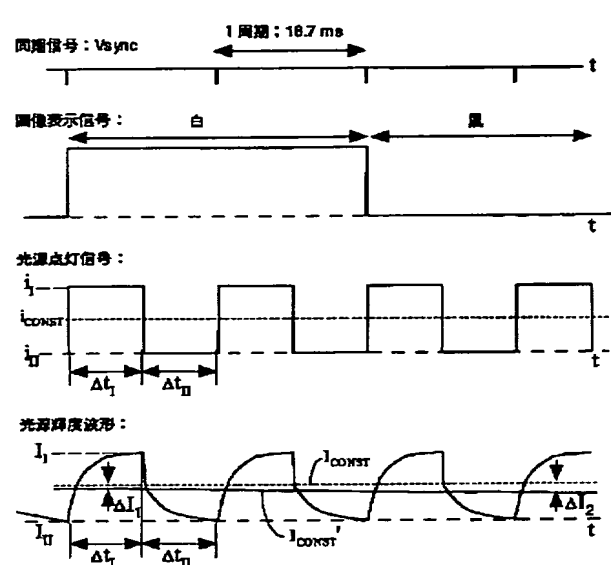
図1



*…低電圧差動映像信号、3323…バックライト調光制御部、3324…ブリンク制御部、3325…デジタル・バックライト調光信号、3326…バックライトON/OFF信号、3327…アナログ・バックライト調光信号、3328…インバータ制御信号、3901…検出期間設定部、3902…入力階調分割数設定部、3903…入力映像データ階調領域検出部、3904…第1階調領域カウンタ、3905…第2階調領域カウンタ、3906…第n階調領域カウンタ、3907…第1データホールドラッチ、3908…第2データホールドラッチ、3909…第nデータホールドラッチ、3910…m倍乗算回路、3911…2*m倍乗算回路、3912…n*m倍乗算回路、3913…加算回路、3914…n*m除算回路、3915…平均輝度データ・ホールドラッチ、4501…ラッチ回路1、4502…1to8デコーダ回路、4503…上位階調側折線ポイント設定レジスタ・セレクト回路、4504…下位階調側折線ポイント設定レジスタ・セレクト回路、4505…減算回路、4506…乗算回路、4507…加算回路、4701…ラッチ回路1、4702…1to8デコーダ回路、4703…上位階調側折線ポイント設定レジスタ・セレクト回路、4704…下位階調側折線ポイント設定レジスタ・セレクト回路、4705…3to1セレクト回路、4706…3to1セレクト回路、4707…減算回路、4708…乗算回路、4709…2to1セレクト回路、4710…加算回路

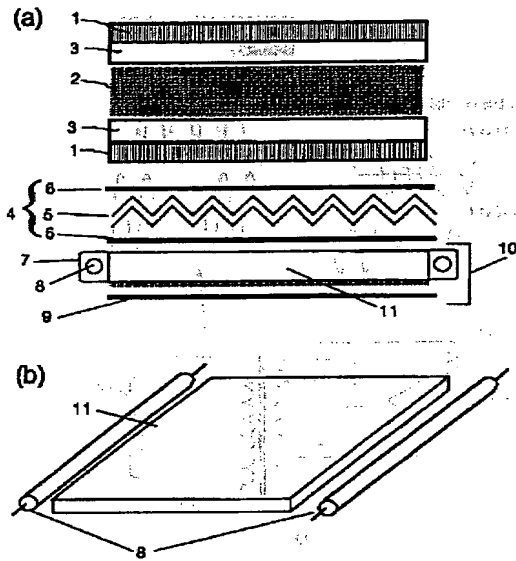
【図2】

図2



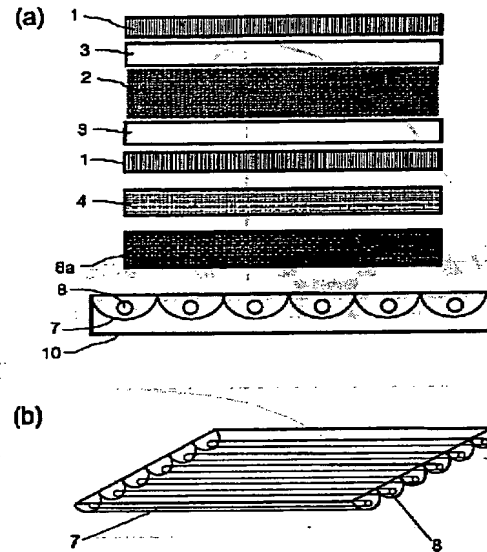
【図3】

図3



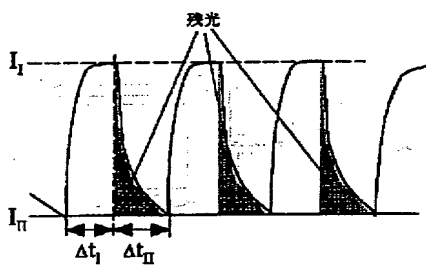
【図4】

図4



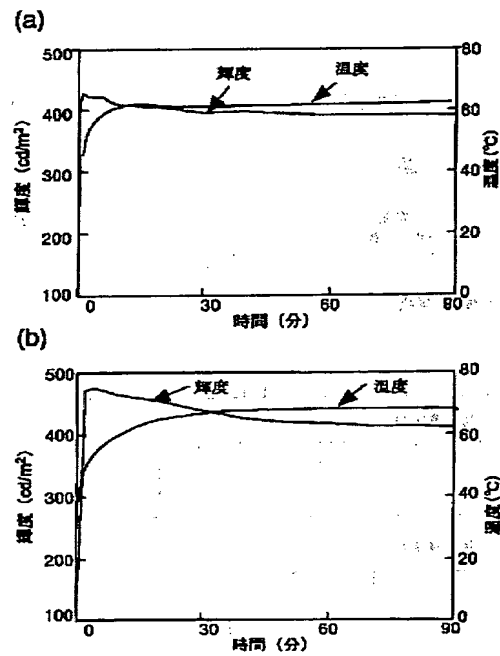
【図6】

図6



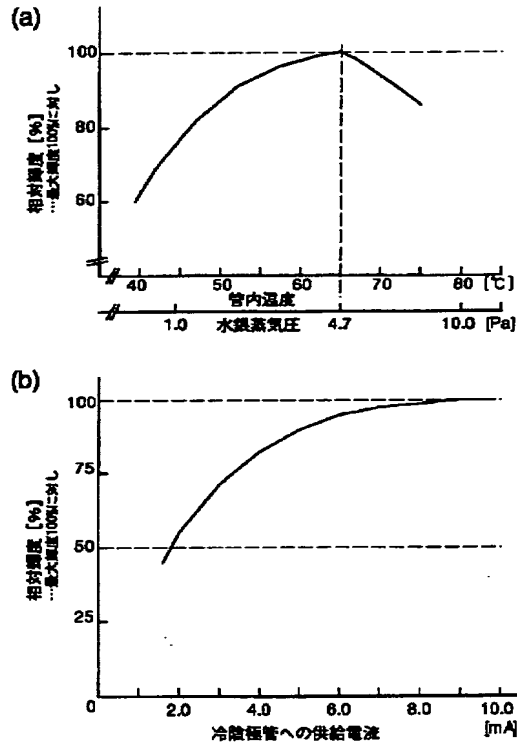
【図7】

図7



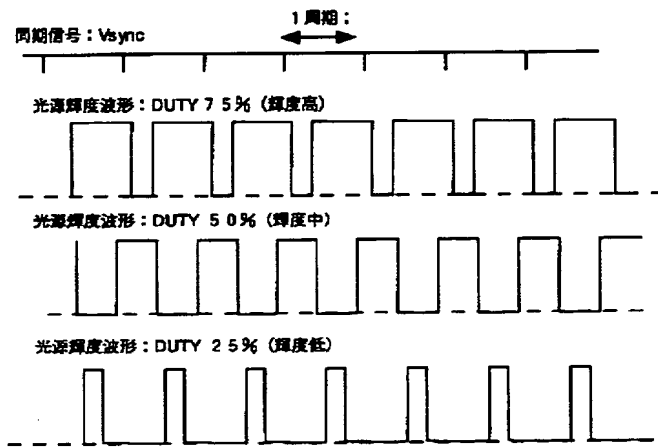
【図5】

図5



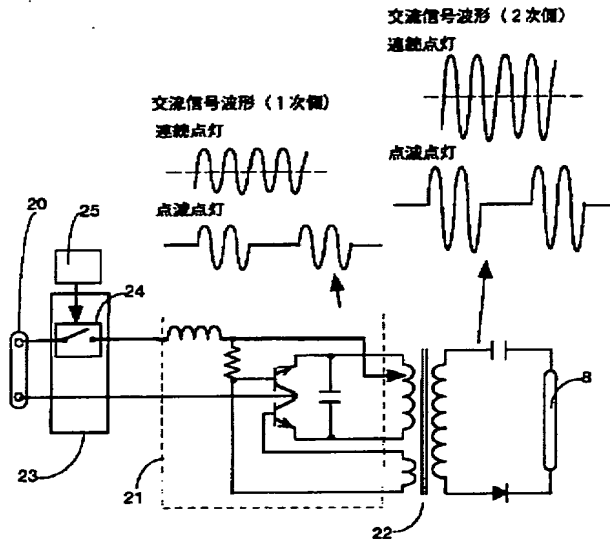
【図9】

図9



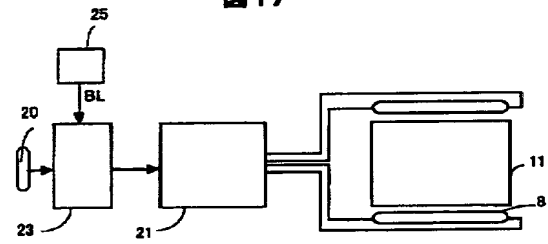
【図8】

図8



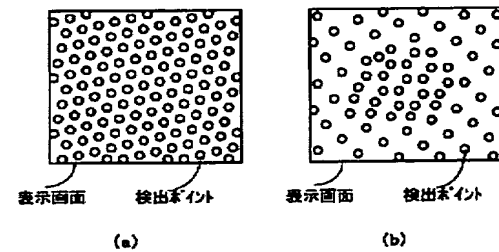
【図17】

図17



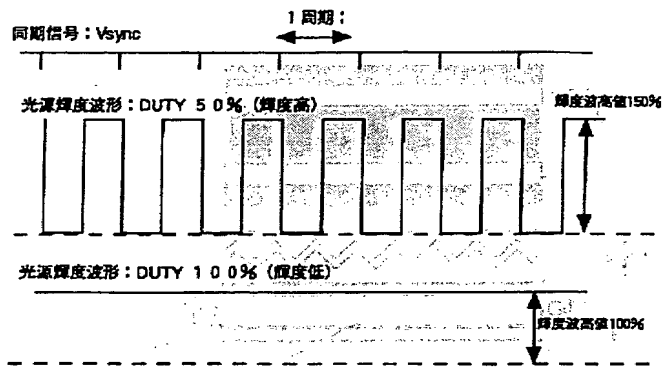
【図21】

図21



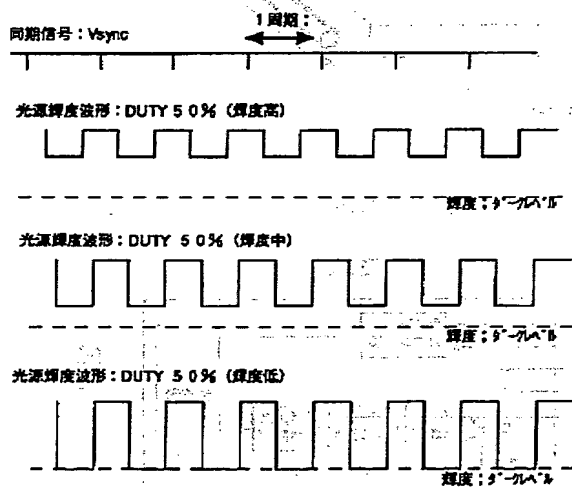
【図10】

図10



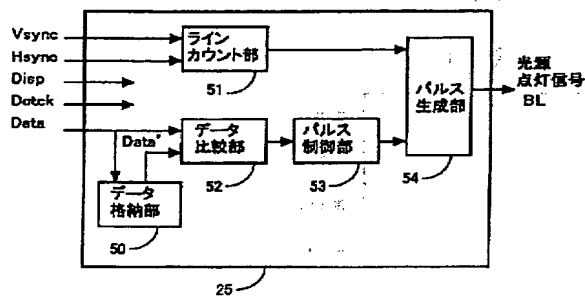
【図12】

図12



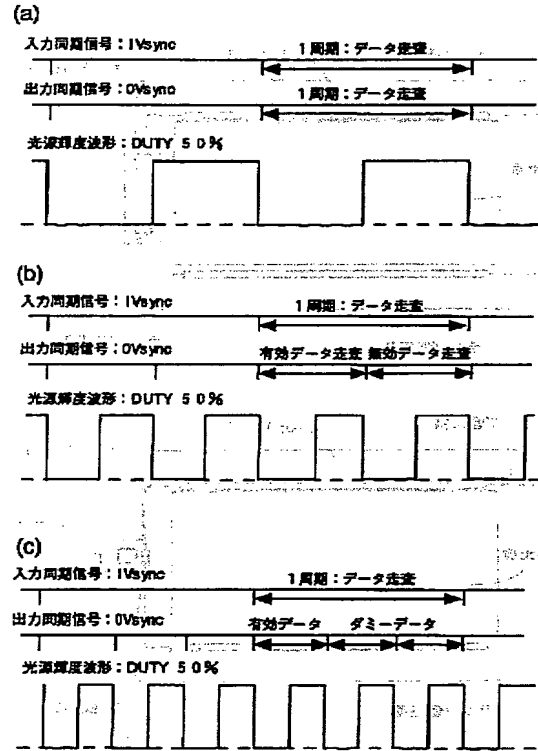
【図18】

図18



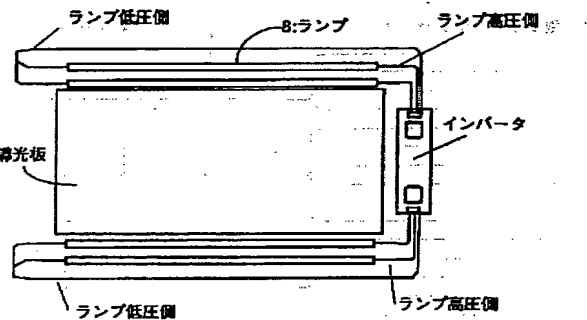
【図11】

図11



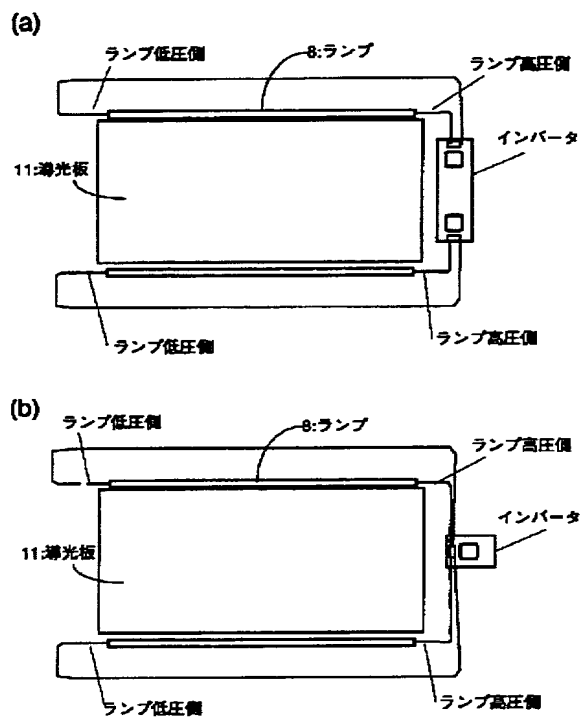
【図15】

図15



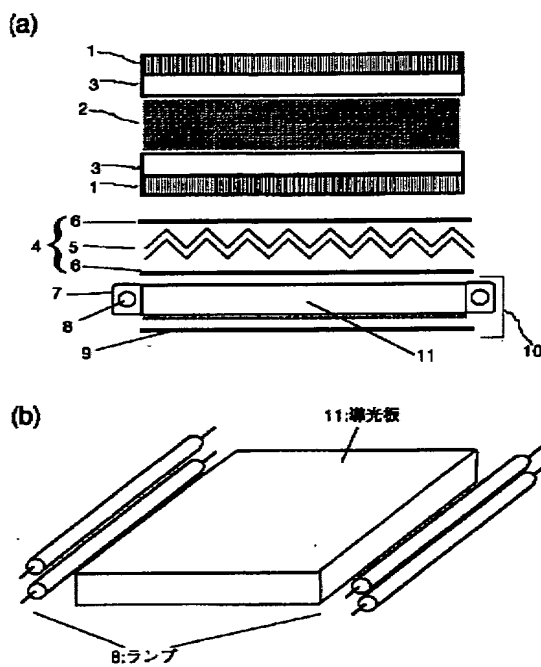
【図13】

図13



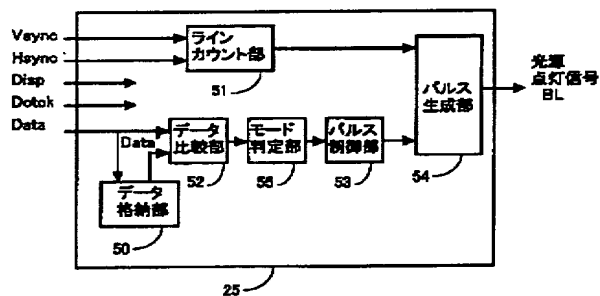
【図14】

図14



【図22】

図22



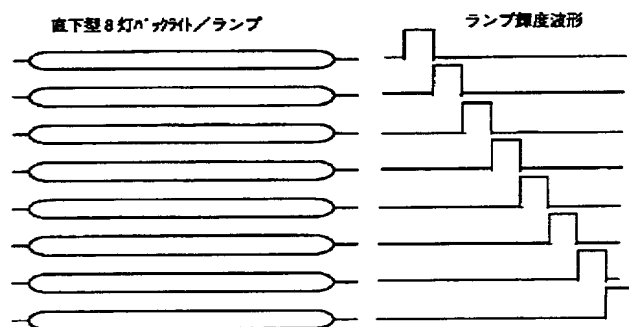
【図23】

図23

	領域Y1
	領域Y2
	領域Y3
	領域Y4

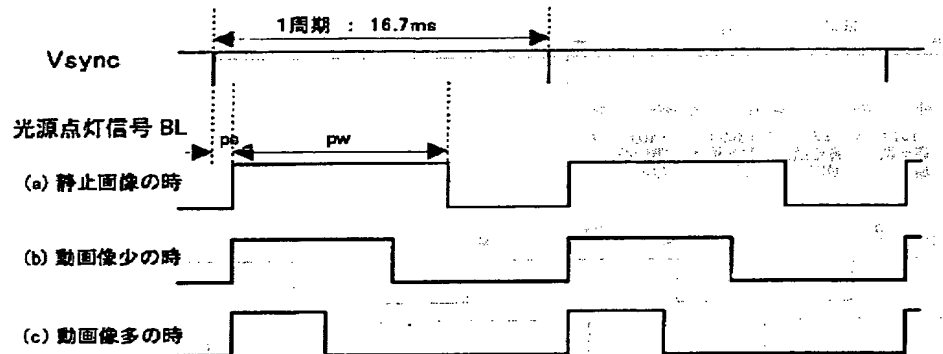
【図16】

図16



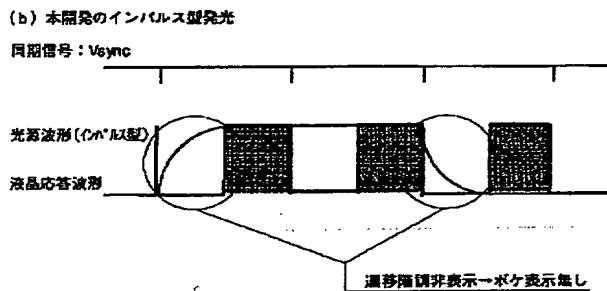
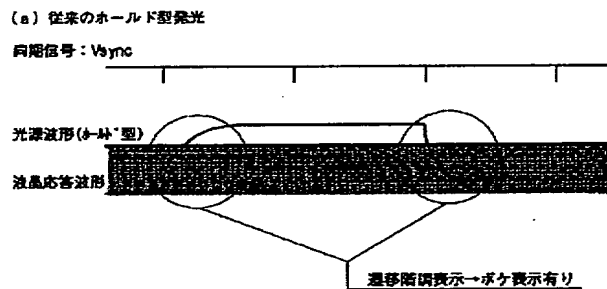
【図19】

図19



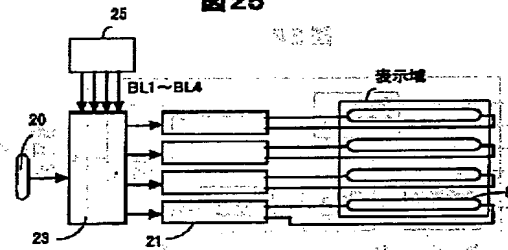
【図20】

図20



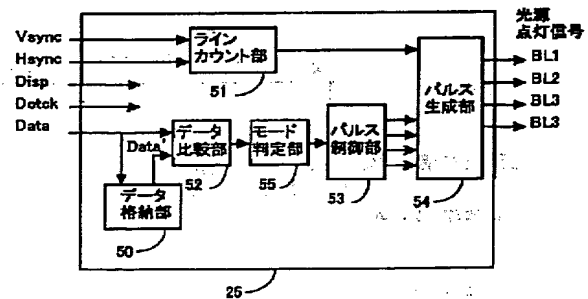
【図25】

図25



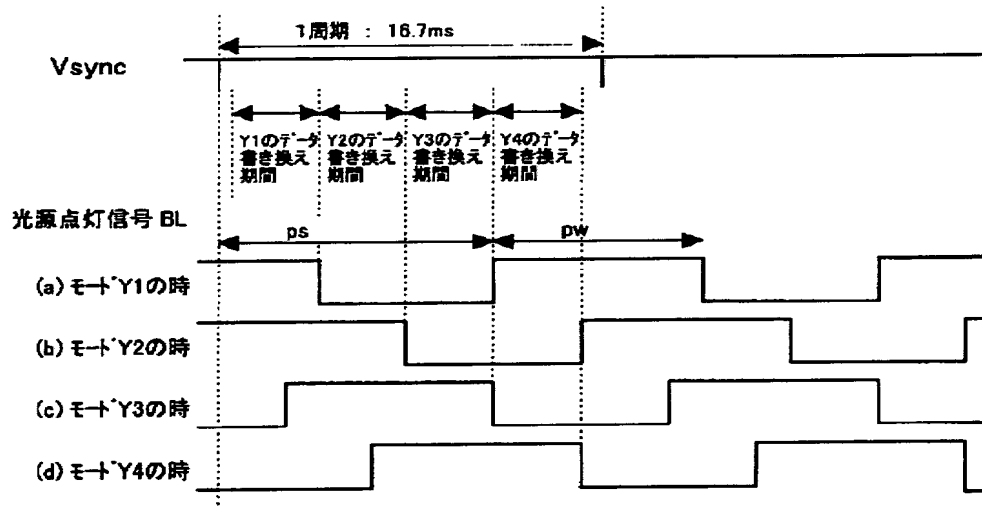
【図26】

図26



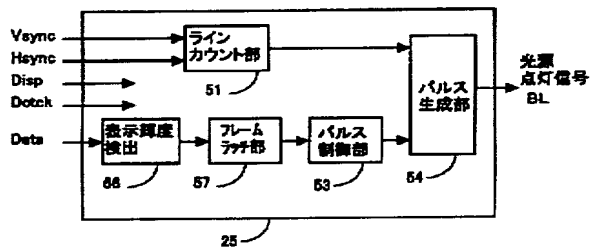
【図24】

図24



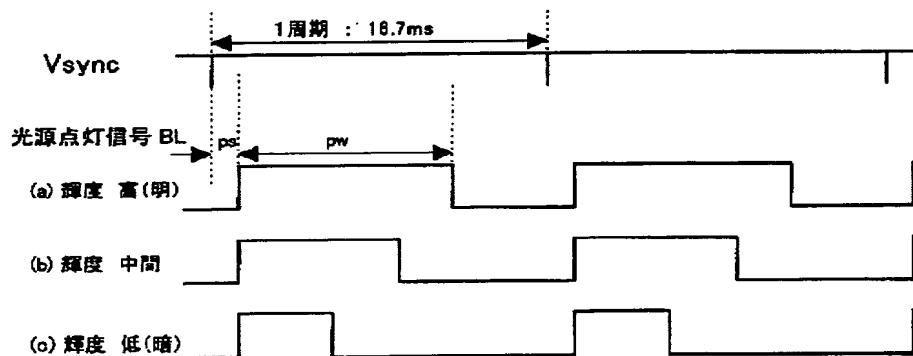
【図28】

図28



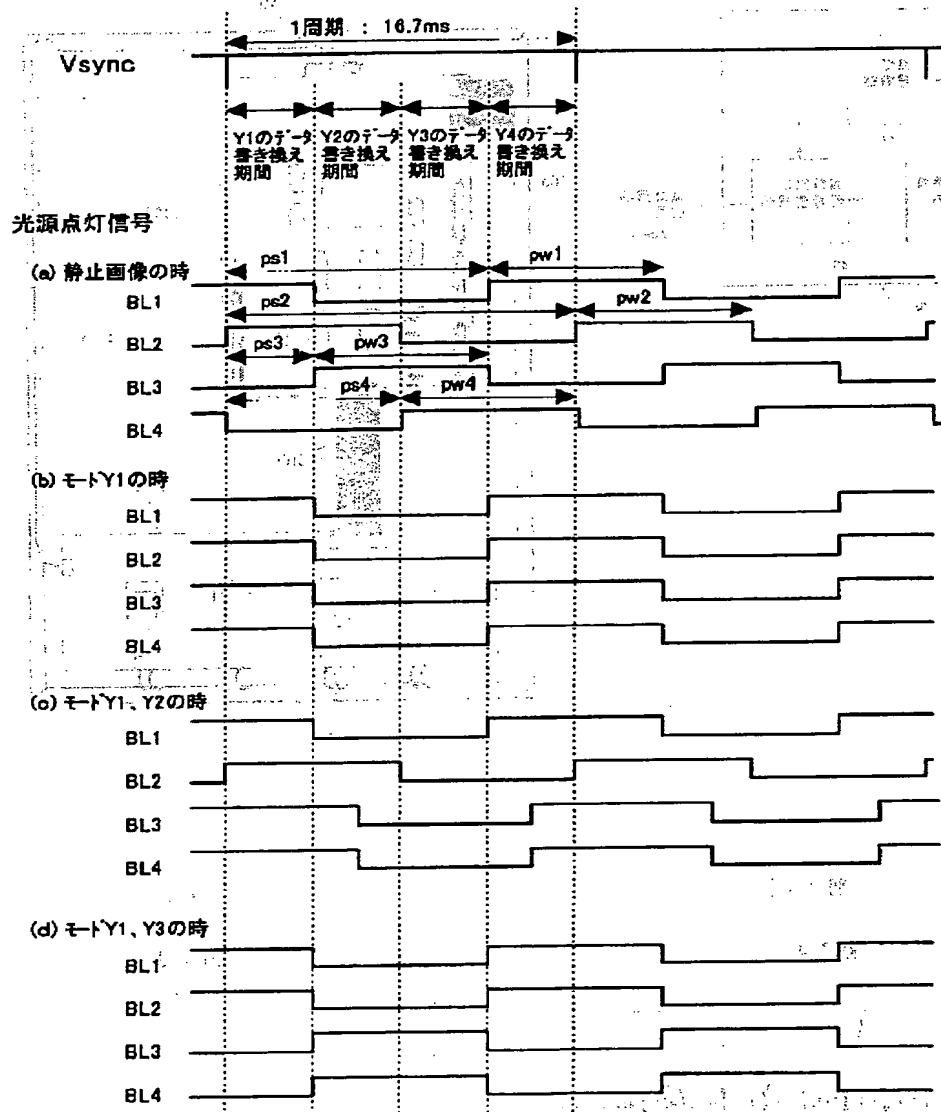
【図29】

図29



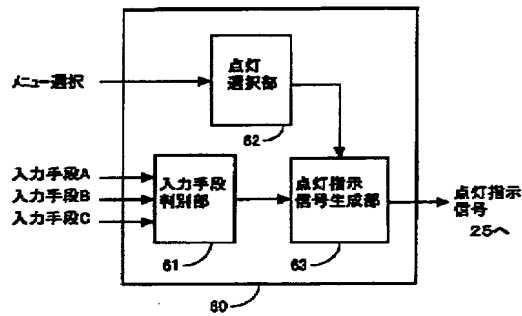
【図27】

図27



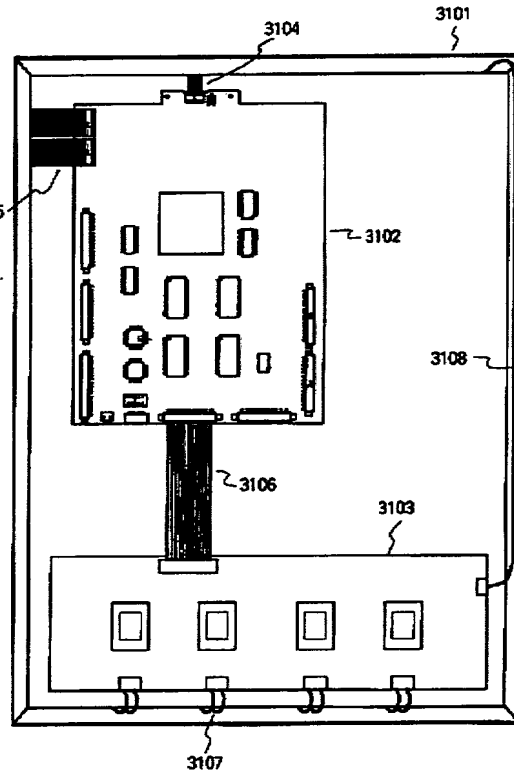
【図30】

図30



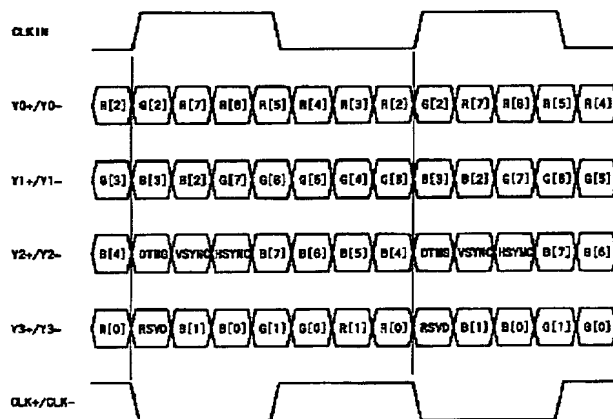
【図31】

図31



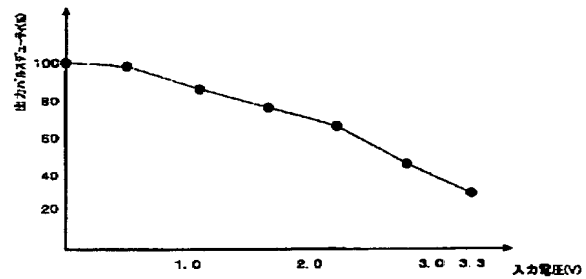
【図34】

図34



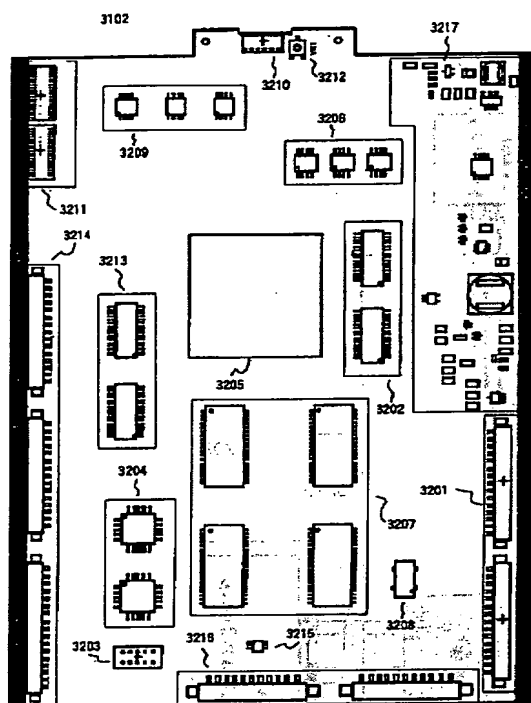
【図48】

図48



【図32】

図32



【図37】

図37

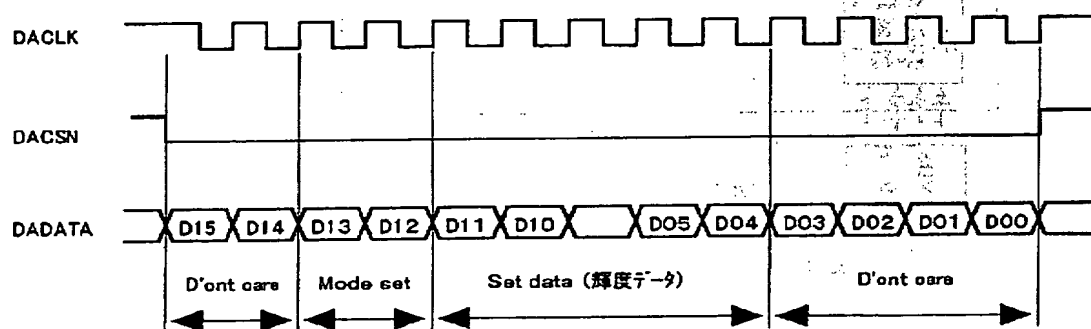
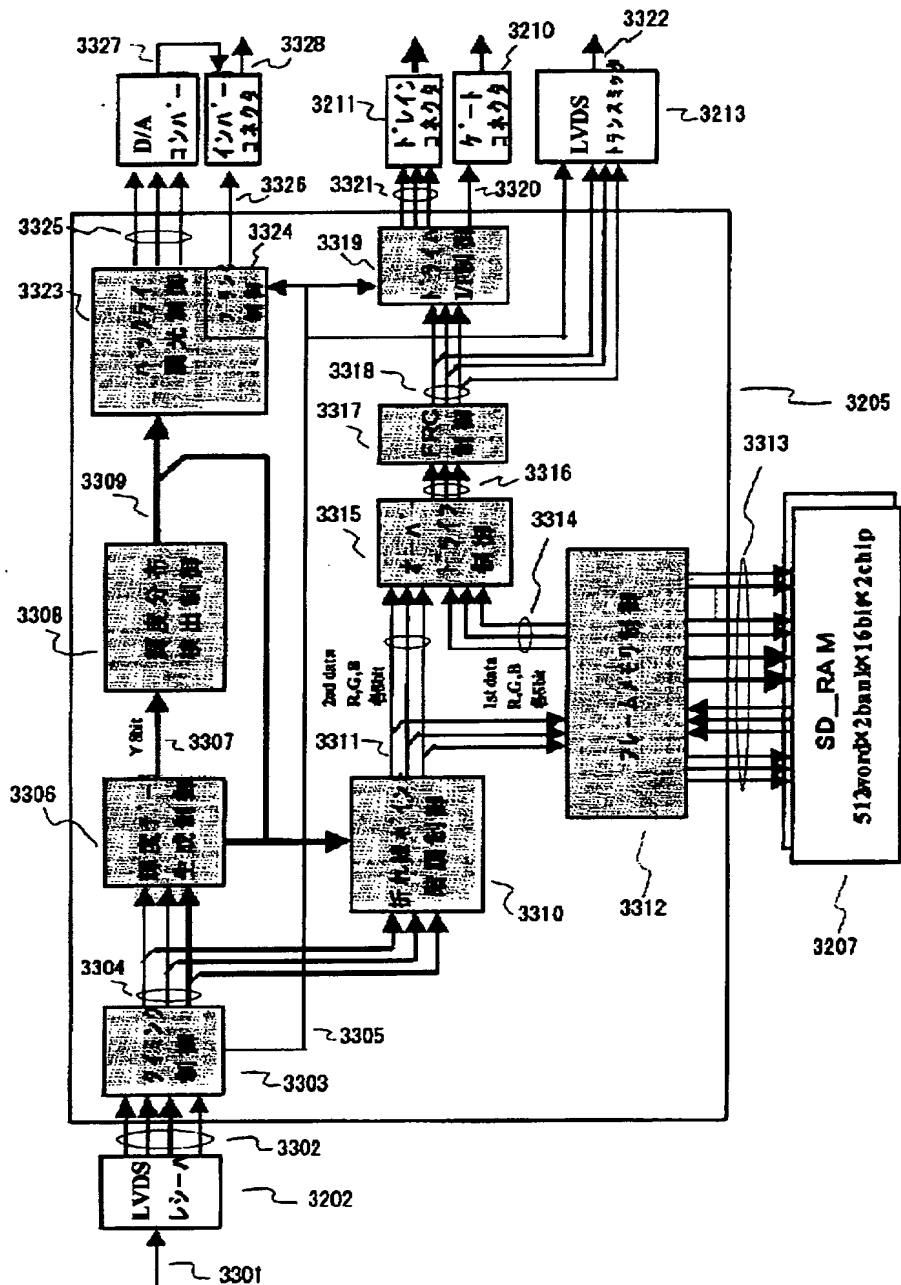
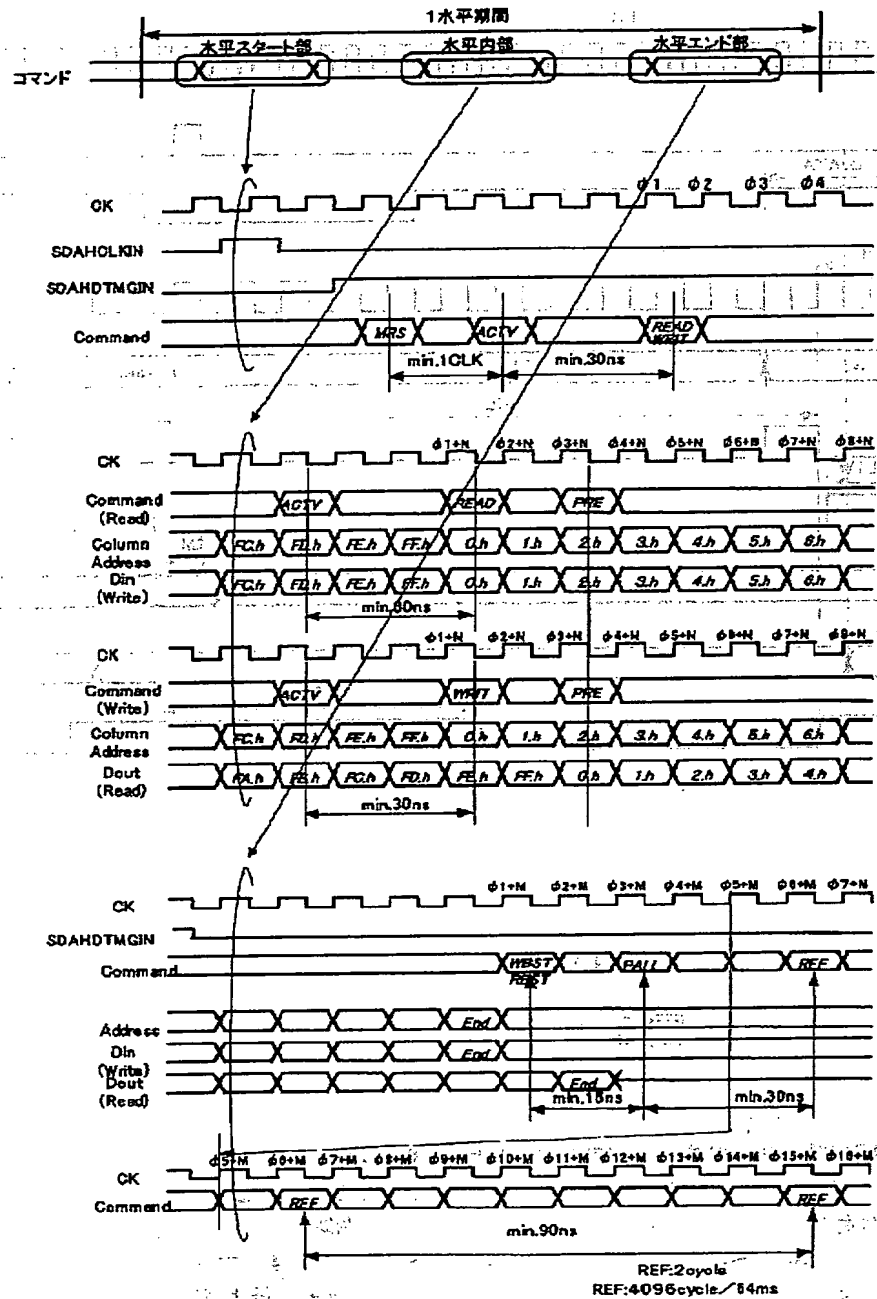


图 3-3



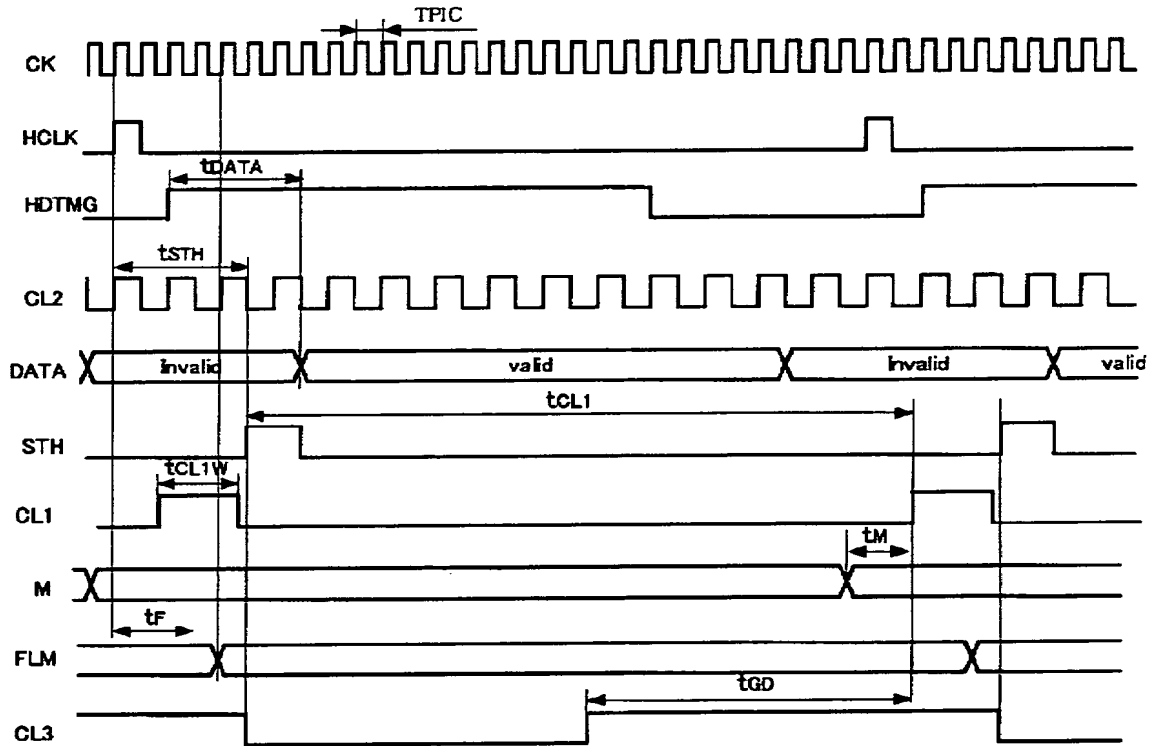
【図35】

図35



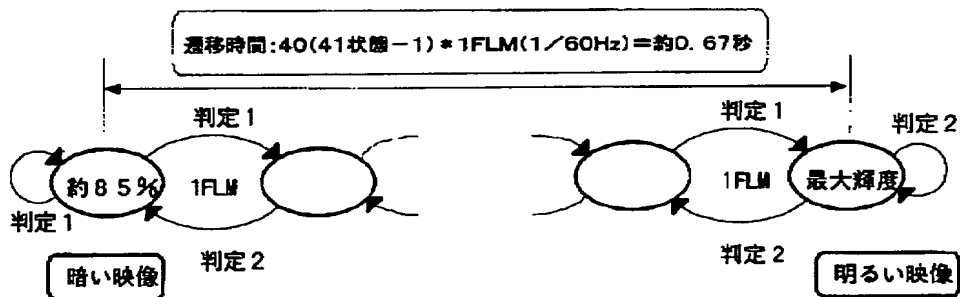
【図36】

図36



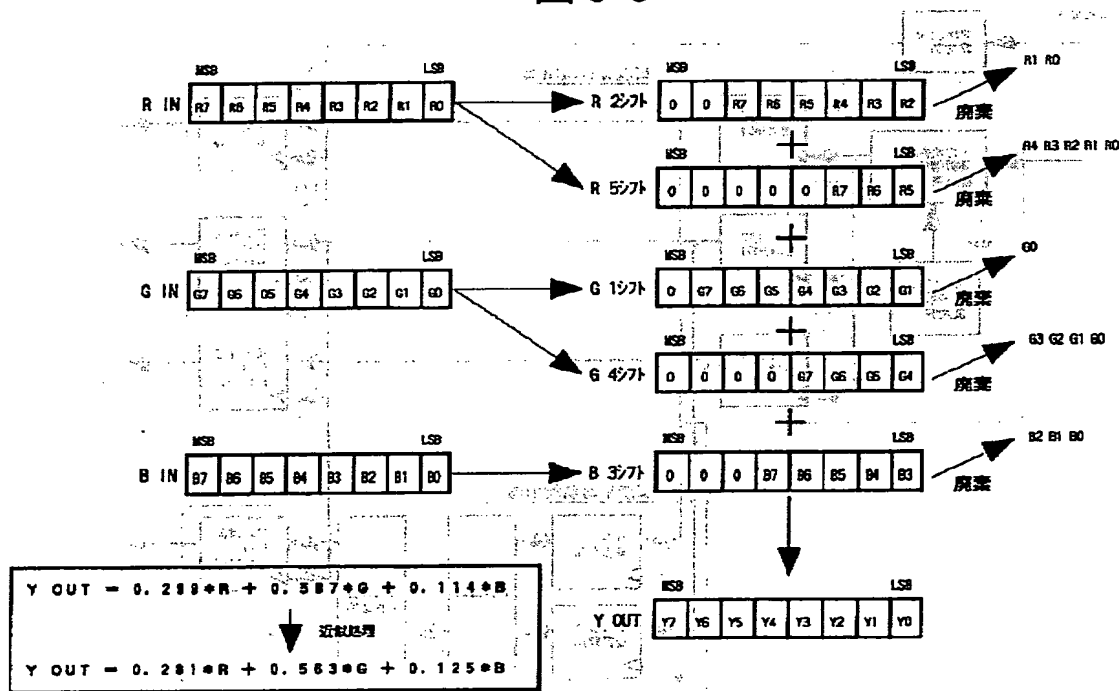
【図51】

図51



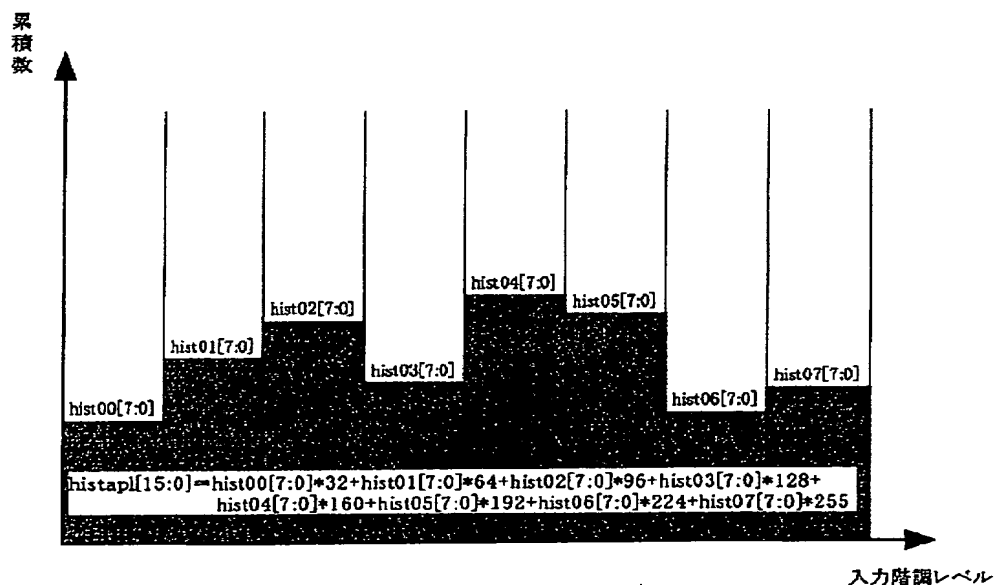
【図38】

図 3 8



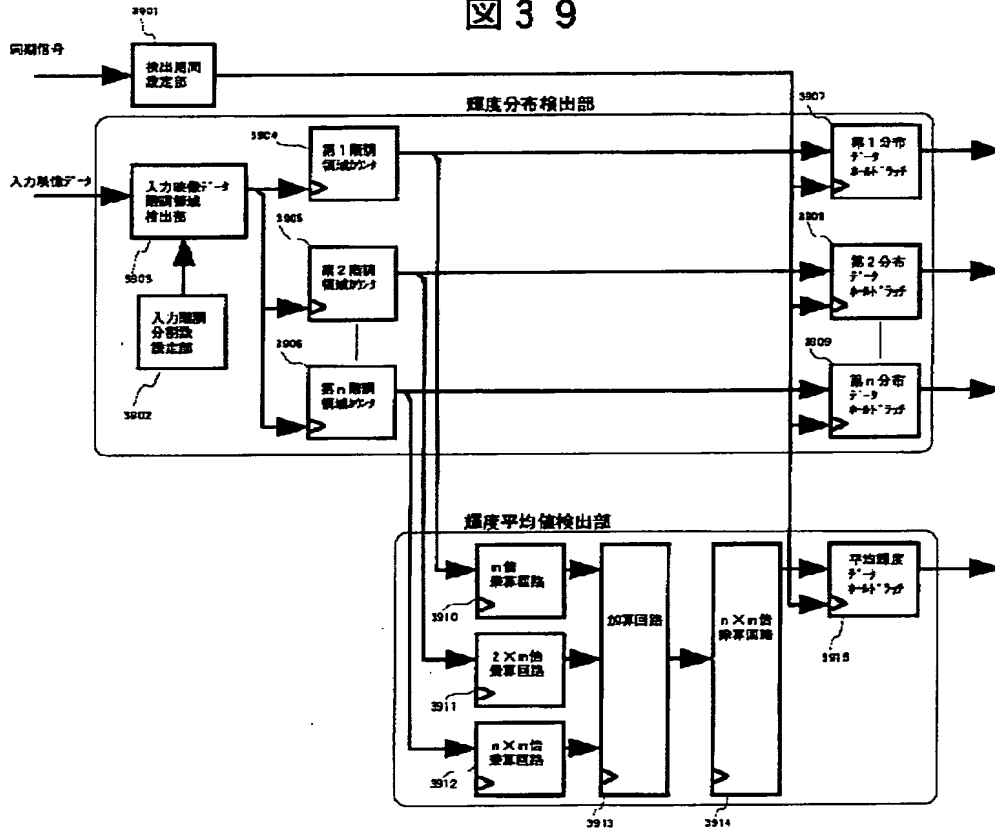
【図41】

図 4 1



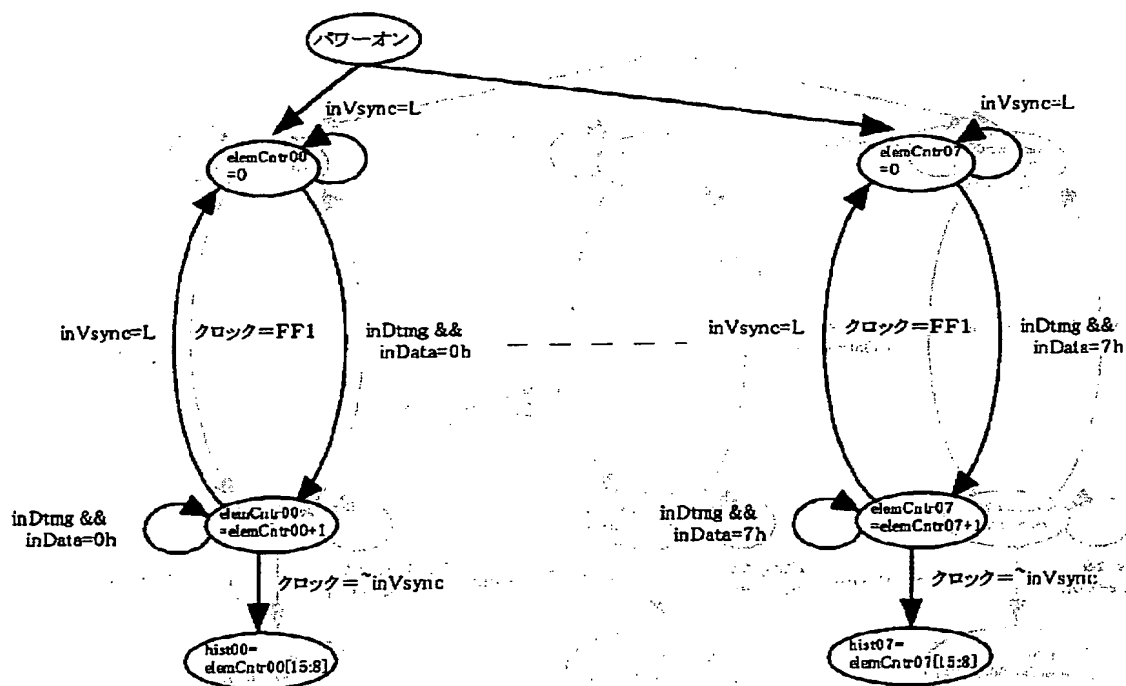
【図39】

図 39



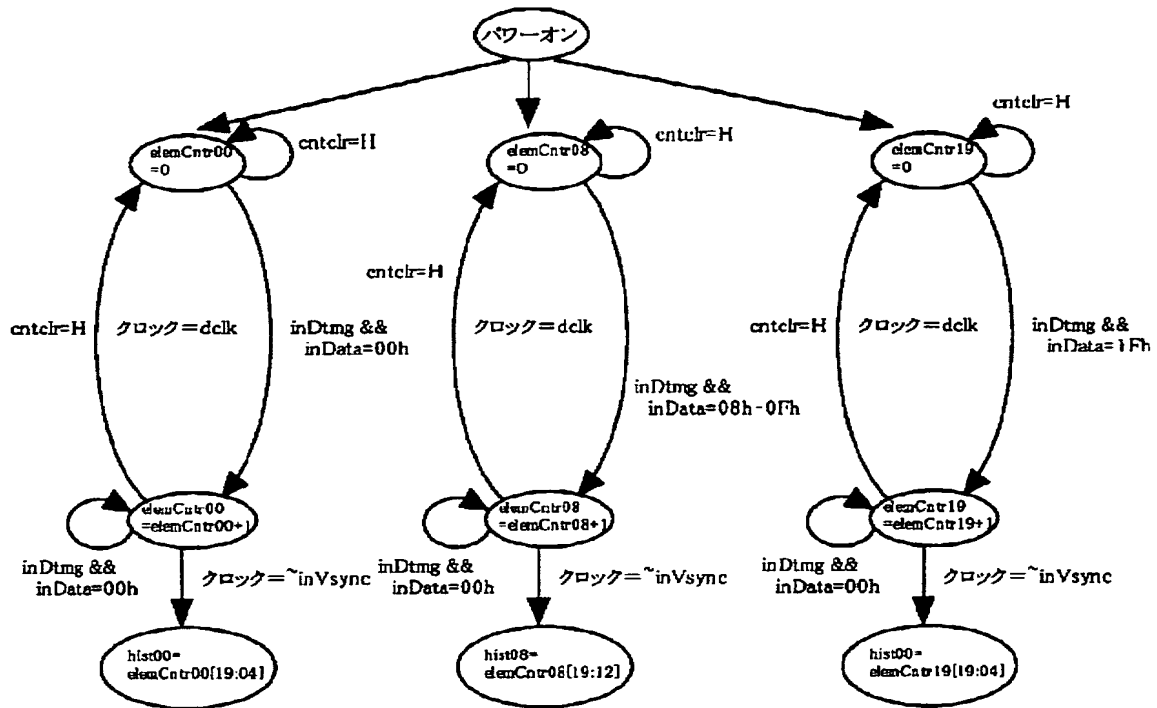
【図40】

図 40



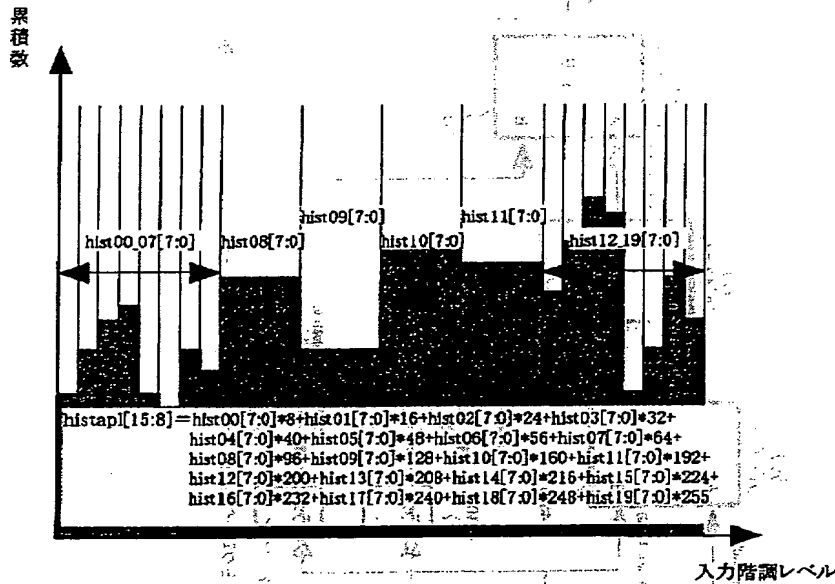
【図42】

図42



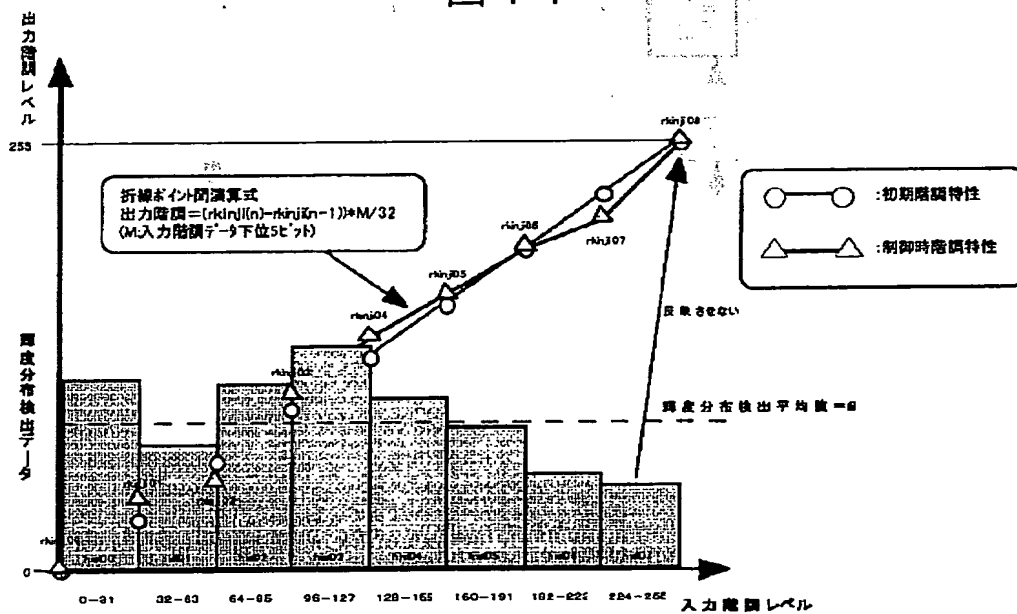
【図43】

図43

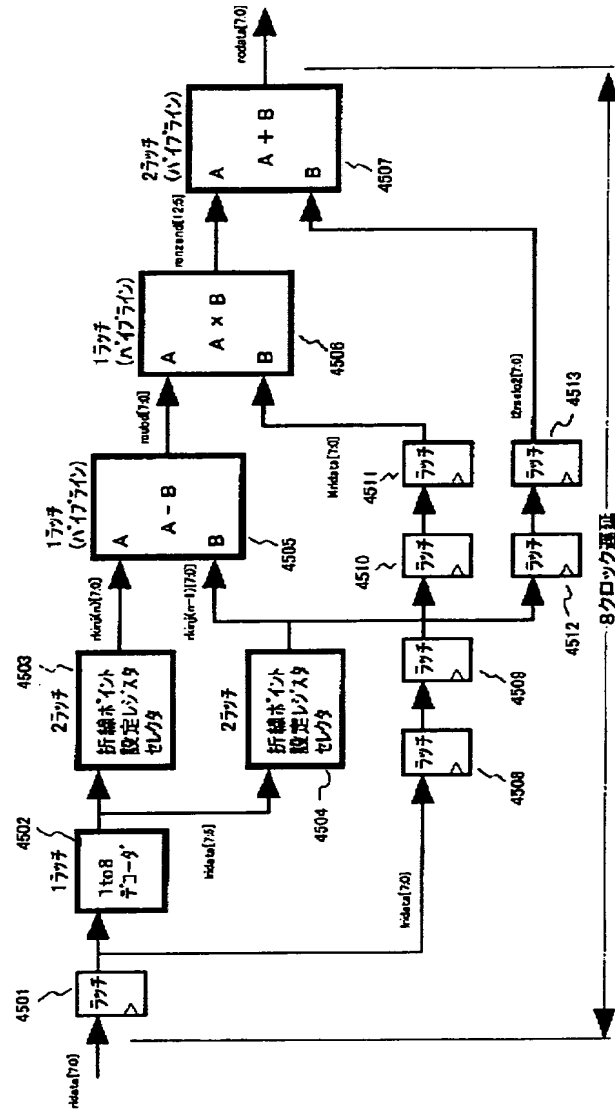


【図44】

図44

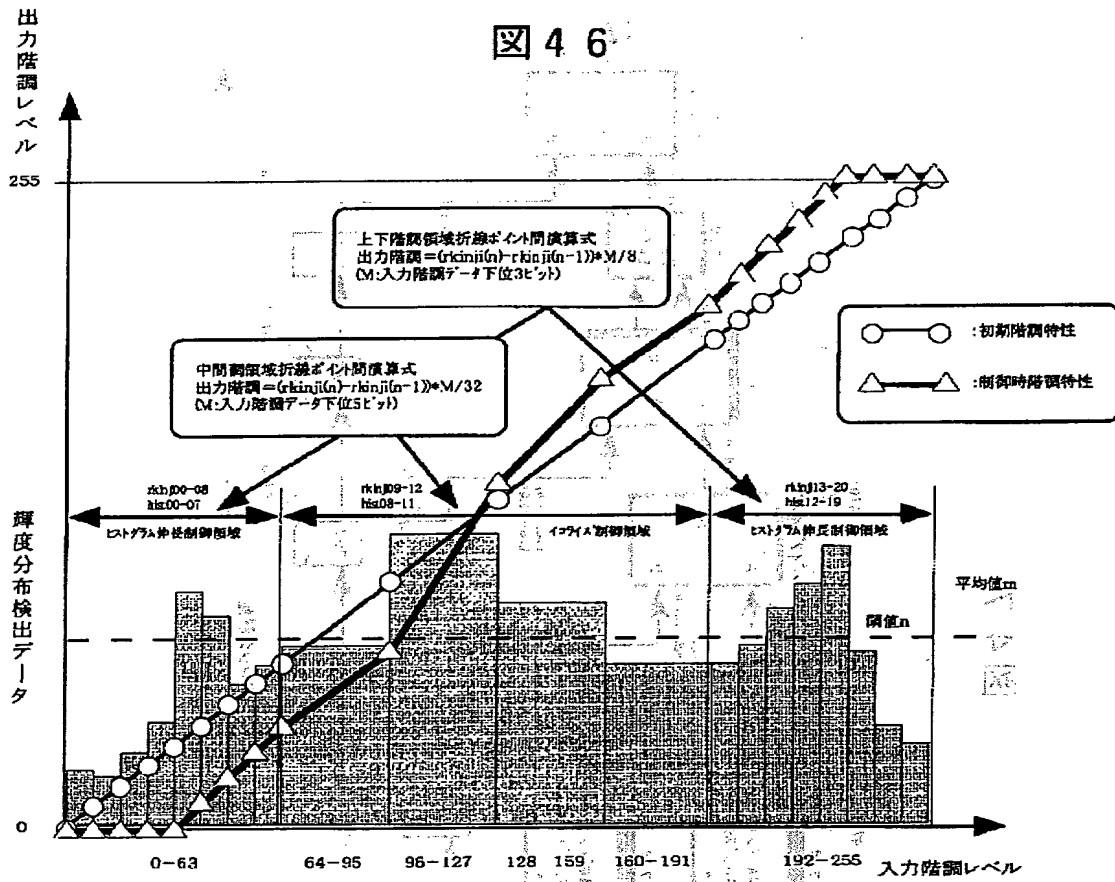


54



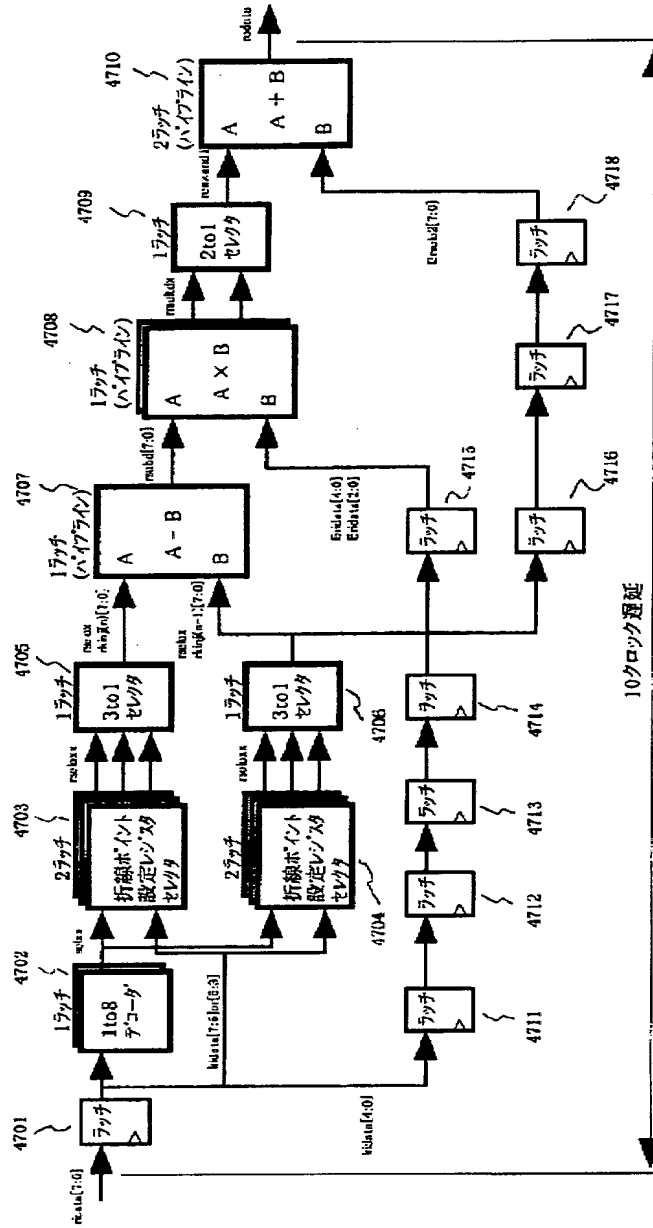
【図46】

図46



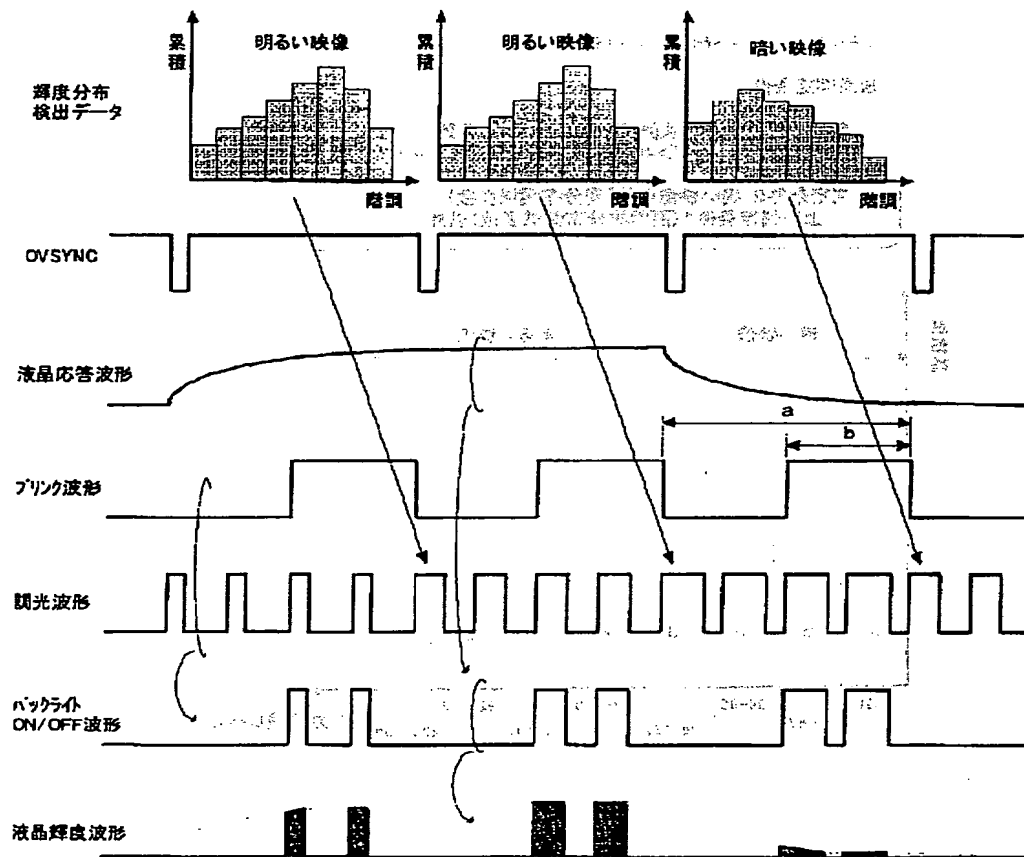
【図47】

図47



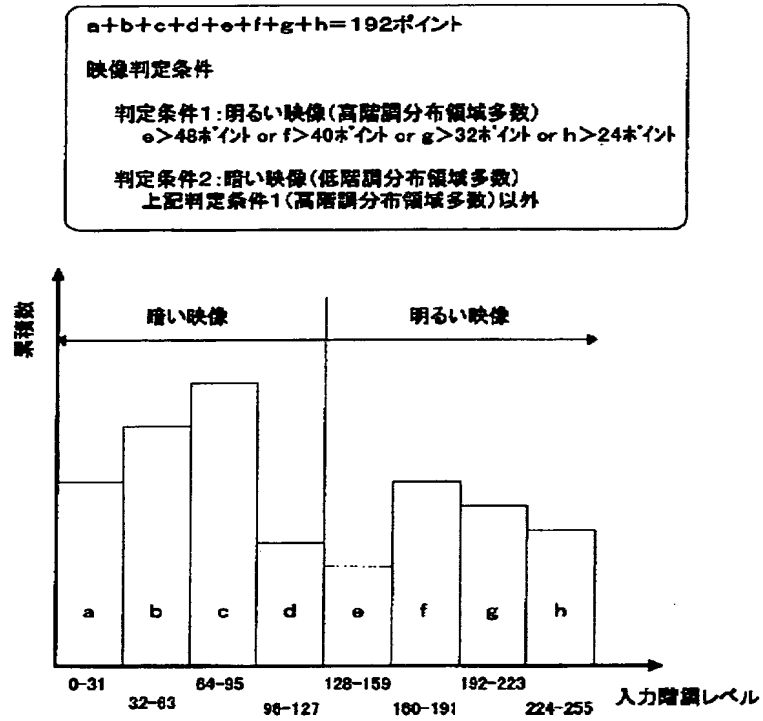
【図49】

図49



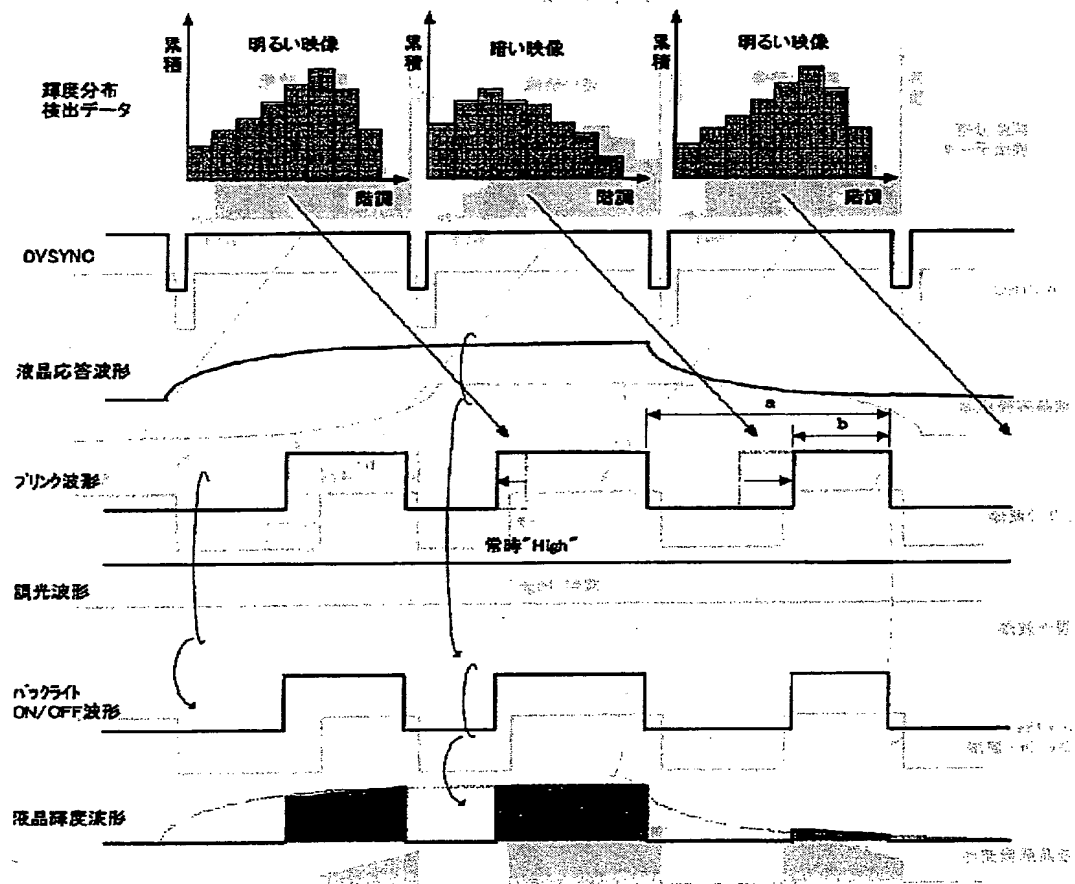
【図50】

図50



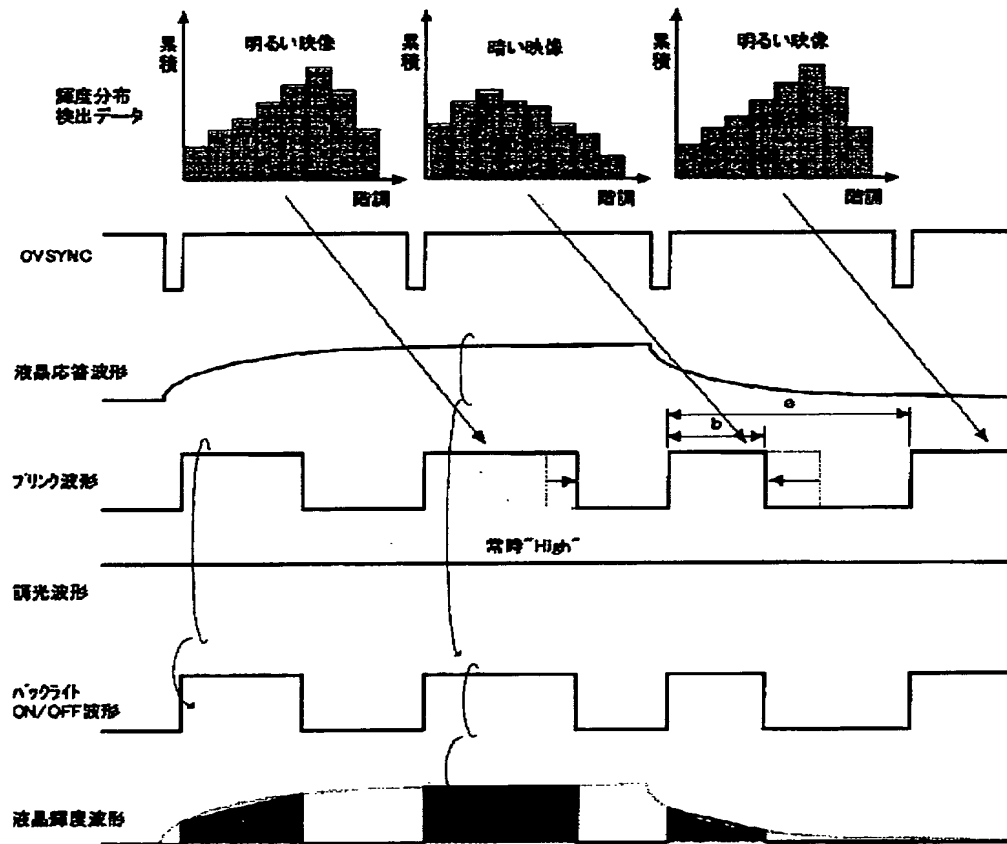
【図52】

図52



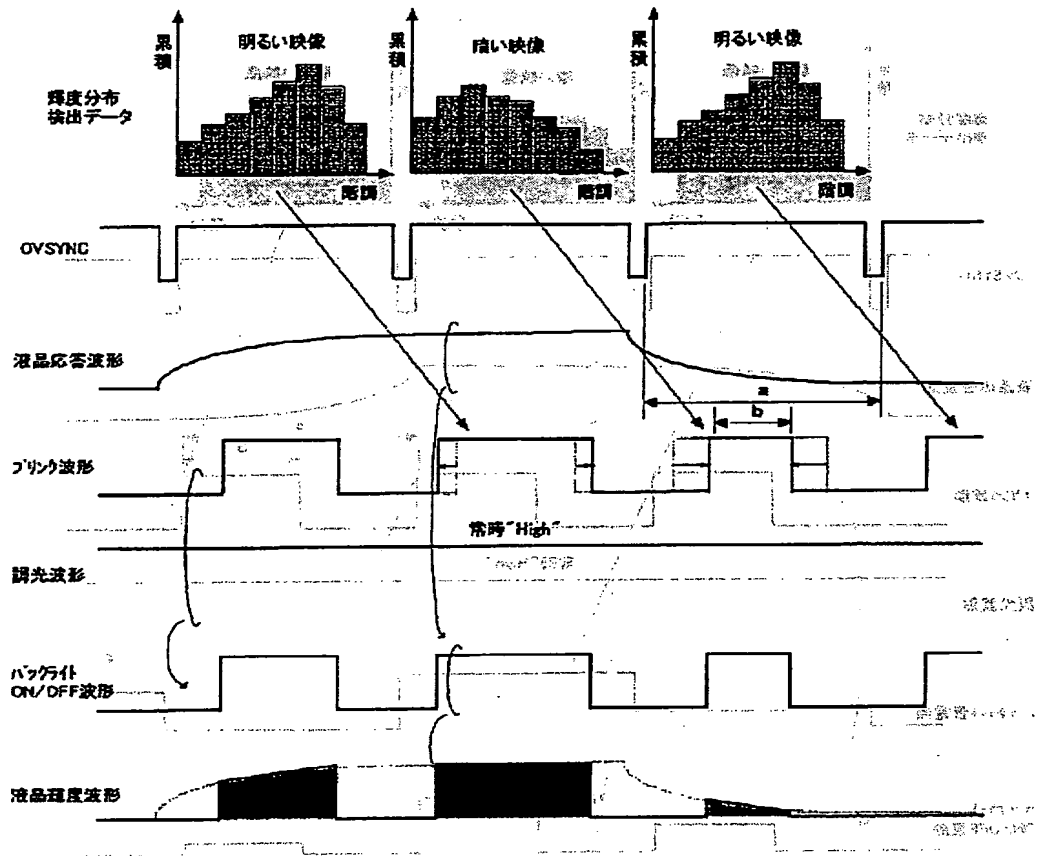
【図53】

図53



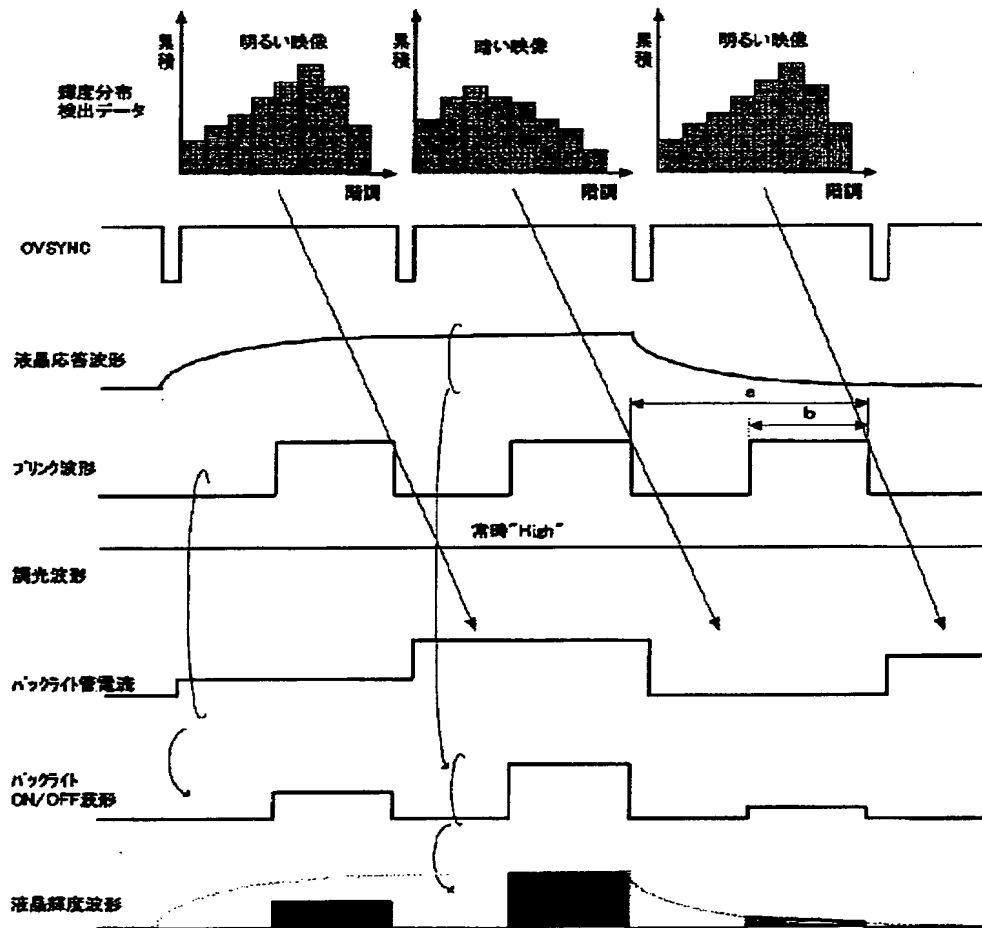
【図54】

図54



〔図55〕

図55



フロントページの続き

(51)Int.Cl. ⁷		識別記号		FI		テーマコード(参考)	
G 0 9 G	3/20	6 4 1		G 0 9 G	3/20	6 4 1 A	
		6 4 2				6 4 2 D	
		6 6 0				6 6 0 W	
		6 7 0				6 7 0 L	
					3/34	J	
3/34				G 0 2 F	1/1335	5 3 0	

(72)発明者 前田 武
 神奈川県横浜市戸塚区吉田町292番地 株
 式会社日立画像情報システム内

(72)発明者 川辺 和佳
 神奈川県川崎市麻生区王禅寺1099番地 株
 式会社日立製作所システム開発研究所内

(72)発明者 平方 純一
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

F ターム(参考) 2H091 FA41Z FA42Z FA44Z HA07
HA10 LA18
2H093 NA51 NC26 NC34 NC42 ND06
ND07 NF05 NF13
5C006 AA01 AA14 AA15 AF03 AF19
AF44 AF51 AF53 AF61 AF69
BB12 BB15 BF02 BF14 BF22
EA01 FA29 FA47 FA54 FA56
GA03
5C080 AA10 BB05 CC03 DD03 DD20
DD26 EE19 EE29 FF09 JJ02
JJ04 JJ05 JJ06
5G435 AA03 AA12 BB12 BB15 DD11
DD13 EE26 EE27 GG24 GG26

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.